



ADC和DAC的基本架构

- ADI智库出品 -

ADI 智库

一站式电子技术宝库



简介

模数转换器(ADC)和数模转换器(DAC)是将模拟信号转换成数字信号或将数字信号转换成模拟信号的器件。ADI 公司拥有业界最齐全的数据转换器产品系列，DAC 涵盖 8 位至 24 位，面向工业自动化、可编程逻辑控制器、光收发器、数据采集等各种应用，能够提供精确可靠、无与伦比的转换性能和价值；ADC 可在各类应用中实现精确可靠的转换性能，包括通信、能源、医疗、仪器仪表和测量、电机和功率控制、工业自动化等。ADI 公司还提供多种数据转换器资源，在产品选型到电路设计的项目各阶段为工程师提供帮助。

ADI 智库推出电子书《ADC 和 DAC 的基本架构》，旨在梳理 ADC 和 DAC 使用中相关的基础要点以及构架示例，共计 17 篇文章，目的是为广大从事该相关设计的工程师以及电子工程相关学子提供参考指南。

ADI 智库 一站式电子技术宝库

ADI 智库是 ADI 公司面向中国工程师打造的一站式资源分享平台，除了汇聚 ADI 官网的海量技术资料、视频外，还有大量首发的、免费的培训课程、视频直播等。九大领域、十项技术，加入 ADI 智库，您可以尽情的浏览收藏、下载相关资源。此外，您还可一键报名线上线下会议活动，更有参会提醒等贴心服务。

*ADI 智库出版社已推出多本电子书，关注微信公众号『ADI 智库』回复“电子书”，即可查看或下载所有电子本。

目录

数模转换器	3
DAC 基本架构 I: DAC 串和温度计 (完全解码) DAC	3
DAC 基本架构 II: 二进制 DAC	9
DAC 基本架构 III: 分段 DAC	18
过采样插值 DAC	24
有为之的非线性 DAC	30
DAC 接口基本原理.....	34
直接数字频率合成(DDS)基本原理.....	48
数字电位计	57
模数转换器	68
ADC 架构 I: Flash 转换器	68
ADC 架构 II: 逐次逼近型 ADC	82
ADC 架构 III: Σ - Δ 型 ADC 基础	95
ADC 架构 IV: Σ - Δ 型 ADC 高级概念和应用	107
ADC 架构 V: 流水线式分级 ADC	117
ADC 架构 VI: 折叠型 ADC	132
ADC 架构 VII: 计数 ADC.....	143
ADC 架构 VIII: 积分 ADC.....	148
电压频率转换器	150

数模转换器

DAC 基本架构 I: DAC 串和温度计 (完全解码) DAC

与其将 DAC 视为具有数字输入和模拟输出的黑匣子，不如了解当今所用的 DAC 基本架构，这样将更有利于应用，而且能简化选型过程，否则考虑到市场上数不胜数的 DAC，产品选型可能非常棘手。

本章节讨论最基本的 DAC 架构：“串”DAC 和“温度计”DAC。串 DAC 的起源与开尔文爵士有关，他于 19 世纪中叶发明了开尔文分压器。串 DAC 在当今颇受欢迎，特别是在典型分辨率为 6 到 8 位的数字电位计等应用中。温度计 DAC 则相对独立于代码相关的开关毛刺，因而是低失真分段 DAC 和流水线式 ADC 的常用构建模块。

开关：简单的 1 位 DAC

把一个转换开关（单刀双掷 SPDT 开关）看作 1 位 DAC 是合理的，如图 1 所示，该开关在基准电压与地之间或相等的正负基准电压之间切换输出。这种简单的器件是许多复杂 DAC 结构的组成元件，在过采样应用中，它用作我们后面将会讨论到的许多 Σ - Δ 型 DAC 的基本模拟元件。简单的开关也很容易利用标准 CMOS 工艺实现。不过，它实在是过于简单，不需要进行详细讨论，考虑更为复杂的结构将更有意义。

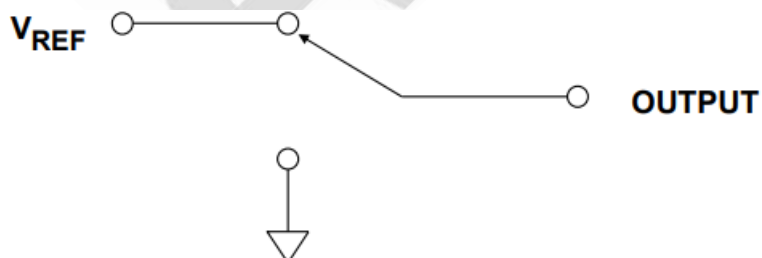


图 1.1 位 DAC: 转换开关 (单刀双掷 SPDT)

开尔文分压器（串 DAC）

除了上述转换开关之外，最简单的 DAC 结构就是图 2 所示的开尔文分压器或串 DAC。这种 DAC 的 N 位版本由 2^N 个等值串联电阻和 2^N 个开关（通常为 CMOS）组成，该信号链的每个节点与输出端之间都有一个开关。输出通过闭合其中的一个开关而从适当的抽头获得（对于 N 位数据，将 2^N 个开关解码为 1 涉及到略微复杂的数字技术，但数字电路很便宜）。这种 DAC 的起源可以追溯到开尔文爵士于 19 世纪中叶的发明，它首先是用电阻和继电器实现，继而在 1920 年代用真空管实现。

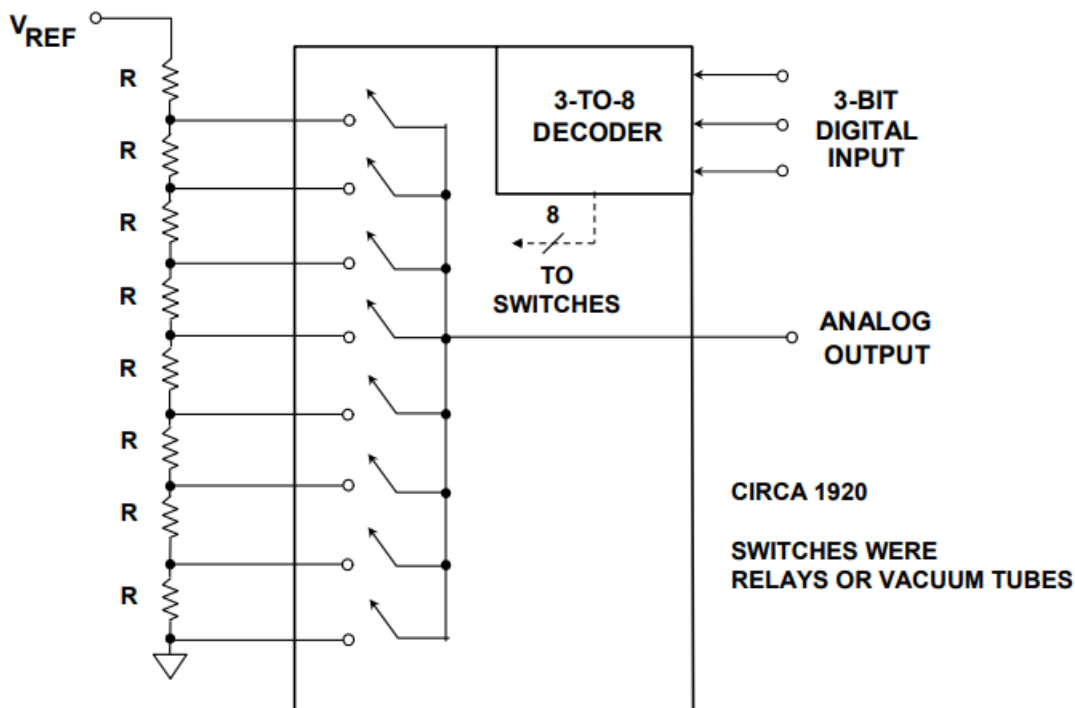


图 2. 最简单的电压输出温度计 DAC——开尔文分压器（“串 DAC”）

这种架构非常简单，具有一个电压输出（但输出阻抗与代码相关），本身具单调性，即使电阻意外短路，输出 n 也不会大于输出 $n+1$ 。如果所有电阻的阻值相等，则它是线性的，但如果需要非线性 DAC，也可以故意把它设计成非线性的。在一次跃迁期间仅有两个开关工作，因此它是一种低毛刺架构。此外，开关毛刺与代码无关，因而它非常适合低失真应用。无论代码如何跃迁，毛刺都是相对恒定的，因此毛刺的频率成分位于 DAC

更新速率及其谐波处，而不是位于 DAC 基波输出频率的谐波处。串 DAC 的主要缺点是需要大量电阻和开关才能实现高分辨率，因此它不是常用的简单 DAC 架构，直到最近极小尺寸 IC 特性问世，才使得低中分辨率的 DAC 切实可行。如今，该架构已广泛用于简单 DAC 中，如数字电位计等。在后文中我们将会看到，其电流输出版本——温度计 DAC 也用作更复杂的高分辨率分段 DAC 结构中的元件。

对于全 1 代码，DAC 的输出比基准电压低 1LSB，因此打算用作通用 DAC 的串 DAC 在基准电压引脚与第一个开关之间有一个电阻，如图 2 所示。

在理想电位计中则不然，对于全 0 和全 1 代码，应将可变抽头连接到电阻串的一端或另一端。因此，虽然数字电位计与通用串 DAC 基本相同，但前者少一个电阻，并且电阻串的任何一端都没有其它内部连接。图 3 所示为一个简单的数字电位计。

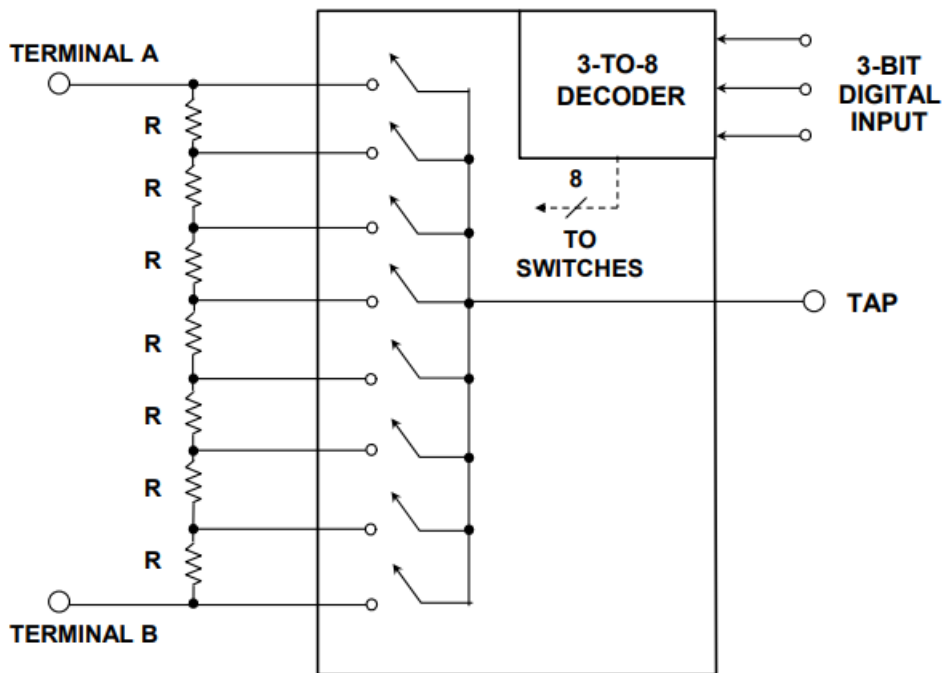


图 3. 对一个串 DAC 稍作更改便获得一个“数字电位计”

最简单的数字电位计并不比这个结构复杂太多，电位计的任何一个引脚都不可能处于 5V 或 3V 逻辑电源以外的电位。但有些电位计具有更复杂的解码器、电平转换器和额外的

高压电源引脚，虽然逻辑控制电平很低（3V 或 5V），但电位计引脚具有大得多的电压范围，某些情况下可能高达 $\pm 15V$ 。数字电位计常常内置非易失性逻辑，当它关断时，其设置得以保存。

显而易见，串 DAC 具有大量电阻（正如前面所说的，N 位 DAC 有 2^N 个电阻）。调整串 DAC 中的每个电阻以获得最佳 DNL 和 INL 是不现实的，一部分原因是电阻数量太多，还有一部分原因是电阻太小而难以校准，主要原因则是这样做成本太高。由于物理尺寸的限制，纯串 DAC 的分辨率一般以 8 到 10 位为限。

电流输出温度计（完全解码）DAC

有一种电流输出 DAC 与串 DAC 相似，它由 2^N-1 可开关的电流源（可以是电阻和基准电压源，或者是有源电流源）组成，这些电流源连接到一个输出引脚，该输出引脚必须处于或接近地电位。通常把这种架构称为“温度计”或“完全解码”DAC。图 4 显示了这样一个温度计 DAC，它通过连接到基准电压的电阻来产生电流。

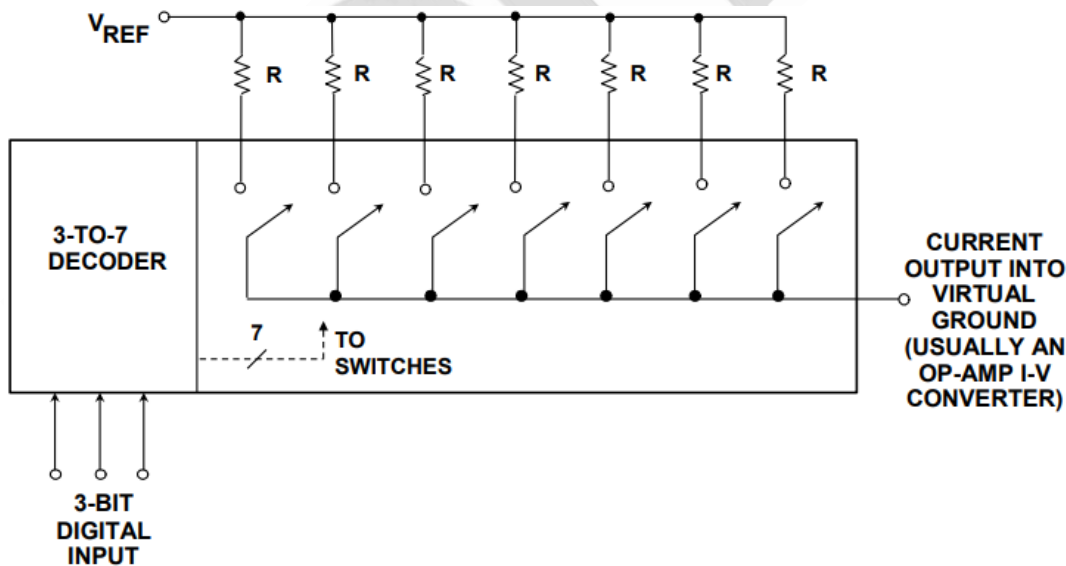


图 4. 最简单的电流输出温度计（完全解码）DAC

如果使用有源电流源，如图 5 所示，输出可能具有更大的顺从性，可以使用一个阻性负载来产生输出电压。负载电阻的选择必须适当，使得在最大输出电流时，输出引脚电压

仍然位于额定顺从电压范围内。

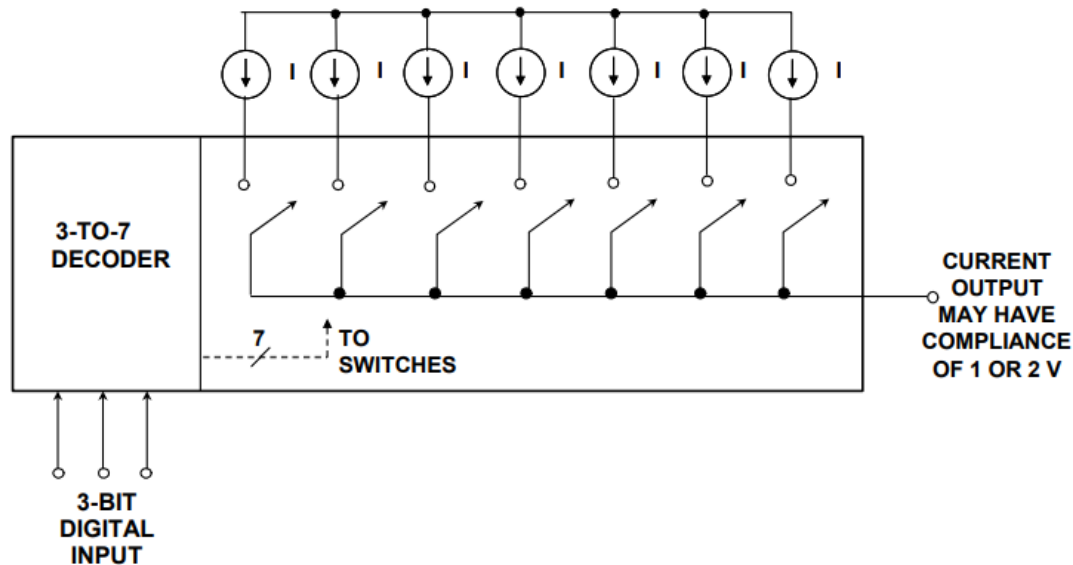


图 5. 电流源改善基本电流输出温度计 DAC

一旦通过提高数字代码将温度计 DAC 中的电流切换到电路中，则数字代码的任何进一步提高都不会再移除该电流。因此，该结构本身具单调性，与电流的精度无关。同样，像开尔文分压器一样，只有出现高密度 IC 工艺才能使该架构切实可行地用于实现通用中等分辨率 DAC，不过高速应用广泛使用的是它的一个略微复杂的版本（如下图所示）。与开尔文分压器不同，此类电流模式 DAC 没有专用名称，但两种类型均可以称为“温度计”DAC 或“完全解码”DAC。

电流在两条输出线之间切换的 DAC（其中一条线接地，但更一般的情况可能是用作反相输出端）更适合高速应用，因为在两个输出端之间切换电流所造成的瞬间影响小得多，因而其毛刺远低于仅仅电流开关切换的情况。这种架构如图 6 所示。

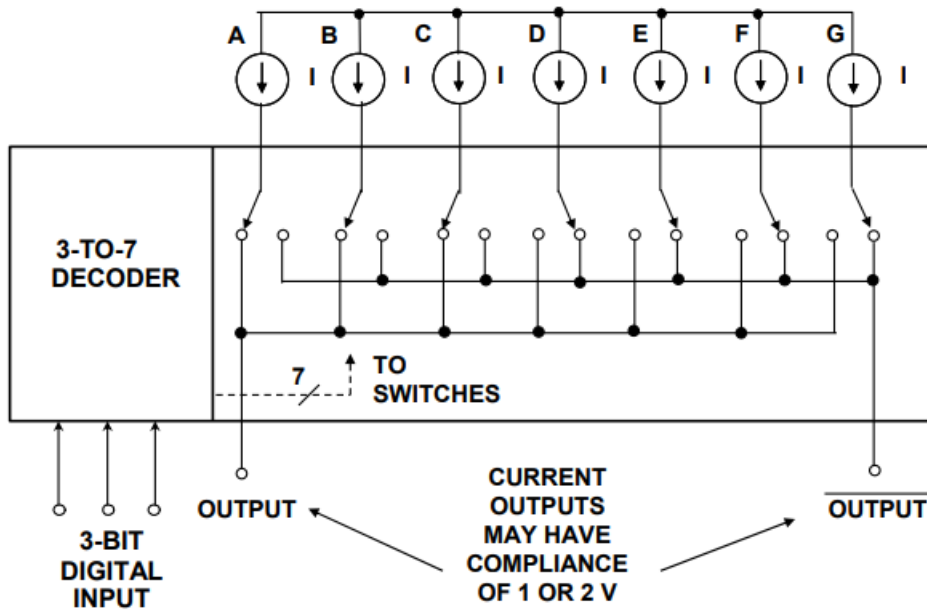


图 6. 提供互补电流输出的高速温度计 DAC

但是，这种 DAC 的建立时间仍会随着初始代码和最终代码的不同而变化，导致产生“码间干扰” (ISI)。这个问题可以通过更复杂的开关技术来解决，即在变为下一个值之前，输出电流回到 0。注意，虽然输出电流回到 0，但它并未“关断”；不使用时，电流被释放掉，而不是器件被使能或关断。其中涉及到的技术非常复杂，在此无法详加讨论。

对于这种 DAC 的普通（线性）版本，所有电流的标称值相等。如果将其用于高速重构，则可以通过动态改变递增代码切换电流的顺序来提高线性度。一般情况下，代码 001 始终开启电流 A，代码 010 始终开启电流 A 和 B，代码 011 始终开启电流 A、B 和 C，依此类推。但为了提高线性度，对于每个新的数据点，递增代码的电流开启顺序可以不同。只要在解码器中增添少量逻辑，就能轻松做到这一点。最简单的实现方法是使用一个计数器，每经过一个时钟周期，计数器便递增 1，电流开启顺序随之改变：ABCDEFG、BCDEFGA、CDEFGAB……但这种算法可能会在 DAC 输出中产生杂散音。更好的办法是对每个时钟周期设置一个但新的伪随机顺序，这需要更多的逻辑，但正如我们所说的，即使复杂的逻辑现在也已变得非常便宜，而且很容易利用 CMOS 工艺实现。还有其它更复杂的技术，使用数据本身来选择各位，从而将电流不匹配转化为整形噪声。同样，这

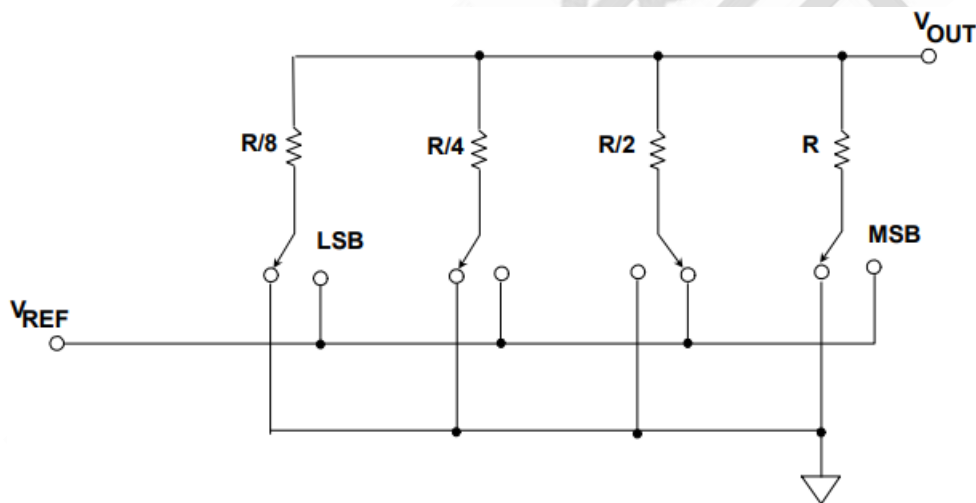
些技术太过复杂，不适合在此类指南中进行讨论。

DAC 基本架构 II：二进制 DAC

虽然串 DAC 和温度计 DAC 是迄今最为简单的 DAC 架构，但需要高分辨率时，它们绝不是最有效的。二进制加权 DAC 每位使用一个开关，首创于 1920 年代。自此以后一直颇受欢迎，成为现代精密和高速 DAC 的支柱架构。

二进制加权 DAC

图 1 所示的电压模式二进制加权电阻 DAC 是教材中常用的最简单 DAC 示例。然而，该 DAC 本身不具单调性，而且实际上难以成功制造并实现高分辨率。此外，电压模式二进制 DAC 的输出阻抗会随着输入代码的不同而改变。



Adapted from: B. D. Smith, "Coding by Feedback Methods," Proceedings of the I. R. E., Vol. 41, August 1953, pp. 1053-1058

图 1. 电压模式二进制加权电阻 DAC

电流模式二进制 DAC 如图 2A（基于电阻）和图 2B（基于电流源）所示。这种 N 位 DAC 由比例为 $1:2:4:8:\dots:2^{N-1}$ 的 N 个加权电流源组成，电流源则可以仅由电阻和基准电压源构成。LSB 开关 2^{N-1} 电流，MSB 开关 1 电流，如此等等。原理很简单，但要想制造一个尺寸合理的 IC，实际困难很大；即便一个 8 位 DAC，电流或电阻比也会达到 128:1，尤

其是其温度系数必须匹配。

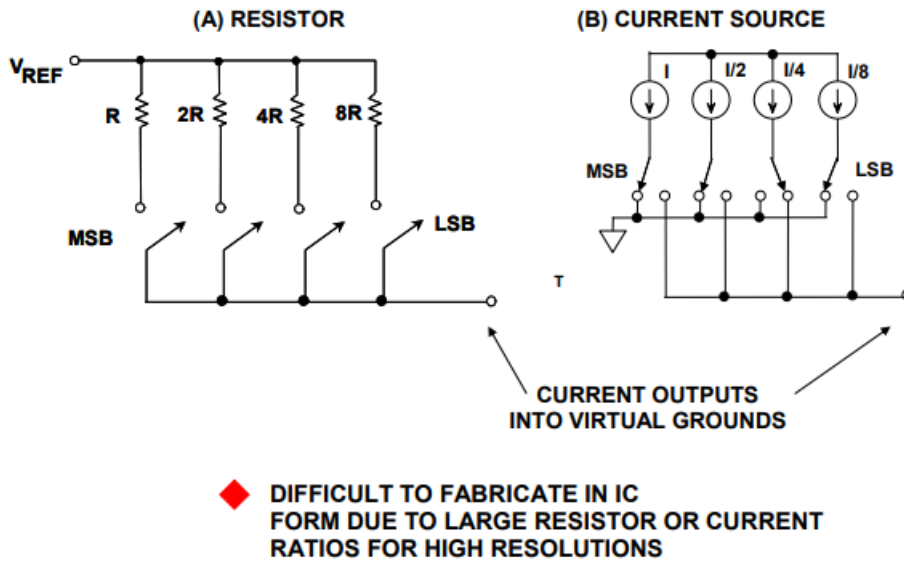


图 2. 电流模式二进制加权 DAC

如果 MSB 电流值稍低，它将小于所有其它位电流的和，DAC 将不具单调性（多数类型 DAC 的微分非线性在主要位跃迁时最差）。实际上，这种架构从未单独用于 DAC 集成电路中，但是，其 3 到 4 位版本已被用作更复杂结构的组成部分。

然而，还有一种得到广泛使用的二进制加权 DAC 结构，它使用图 3 所示的二进制加权电容。使用电容的 DAC 有一个问题：泄漏会使它在设定后的几毫秒内丧失精度。这使得电容 DAC 可能不适合通用 DAC 应用，但在逐次逼近型 ADC 中，这并不是问题，因为转换会在几微秒甚至更短的时间内完成，泄漏根本来不及产生任何明显的影响。

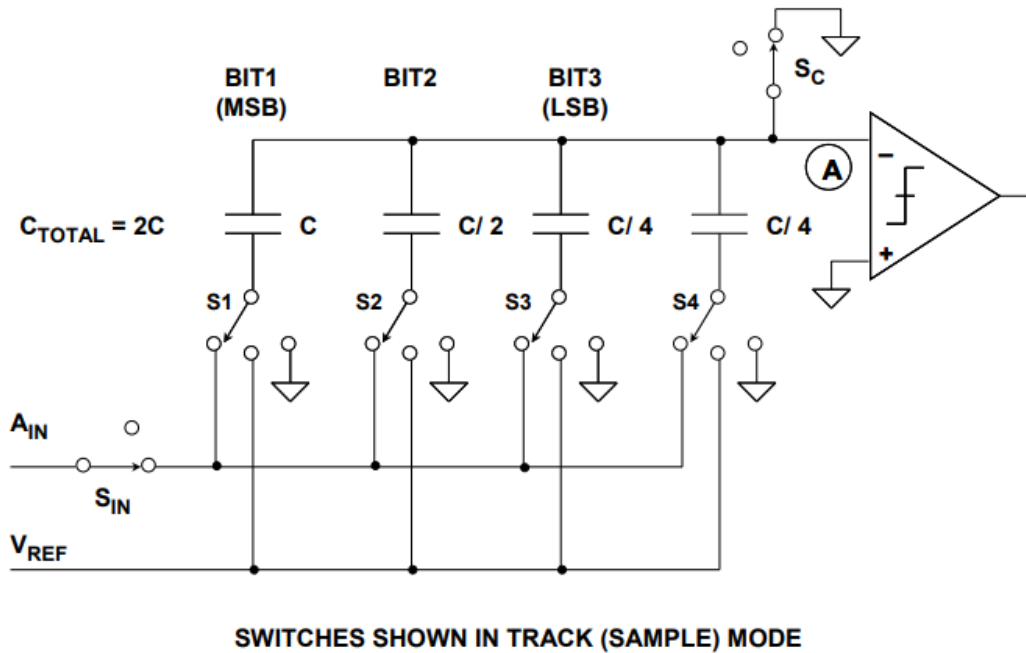


图 3. 逐次逼近型 ADC 中的电容二进制加权 DAC

逐次逼近型 ADC 结构简单、功耗低，而且具有相当快的转换时间，它可能是使用最广泛的通用 ADC 架构，但在 1990 年代中期，分级 ADC 开始取代逐次逼近型 ADC 而受到人们的青睐，因为与分级 ADC 相比，逐次逼近型 ADC 中的 R-2R 薄膜电阻 DAC 使得芯片尺寸更大、成本更高，尽管分级 ADC 的功耗更高。亚微米 CMOS 工艺的发展使得尺寸极小（因而价格便宜）、精度极高的开关电容 DAC 成为可能，由此产生了新一代小型、价廉、低功耗、高精度的逐次逼近型 ADC，这种架构因而重新获得了人们的青睐（例如 ADI 公司的 [PulSAR®](#) 系列）。

电容电荷再分配 DAC 还具有另一项优势，即 DAC 本身可以充当一个采样保持电路(SHA)，因此既不需要外部 SHA，也不需要为单独集成的 SHA 分配芯片面积。

R-2R DAC

最常见的 DAC 构建模块结构之一是 R-2R 梯形电阻网络，如图 4 所示。它仅使用两种不同值的电阻，阻值之比为 2:1。N 位 DAC 需要 2N 个电阻，调整相当简单，而且要调整的电阻数量相对较少。

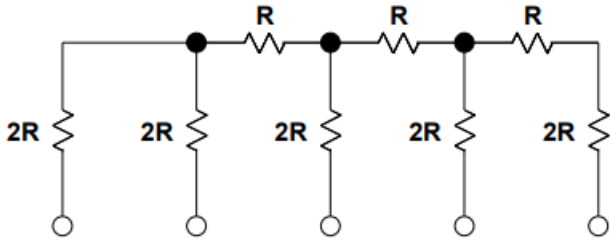
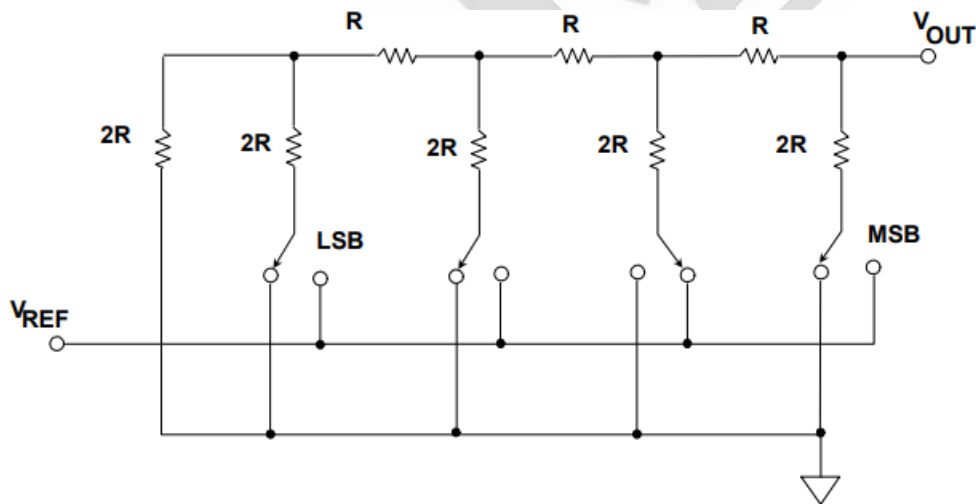


图 4.4 位 R-2R 梯形电阻网络

有两种方法可以将 R-2R 梯形电阻网络用作 DAC，分别称为“电压模式”和“电流模式”，有时也分别称为“正常”模式和“反相”模式，但由于业界并未就哪一种模式是梯形电阻网络的“正常”模式达成一致，因此这一种命名方式可能令人误解。每种模式都有其优点和缺点。

图 5 所示为电压模式 R-2R 梯形电阻 DAC，电阻梯的“横档”或臂在 V_{REF} 与地之间切换，输出从电阻梯的末端获得。输出可以是一个电压，但由于输出阻抗与代码无关，因此输出也可以是一个流入虚拟地的电流。如前所述，该架构由 B.D.Smith 于 1953 年提出。



Adapted from: B. D. Smith, "Coding by Feedback Methods," Proceedings of the I. R. E., Vol. 41, August 1953, pp. 1053-1058

图 5. 电压模式 R-2R 梯形电阻网络 DAC

电压输出是这种模式的一个优势，恒定的输出阻抗是另一个优势，后者使得连接到输出节点的任何放大器都更容易稳定。此外，开关使电阻梯的臂在低阻抗 V_{REF} 连接与同样是

低阻抗的地之间切换，因此电容毛刺电流一般不会流到负载。但另一方面，开关必须在宽电压范围（ V_{REF} 至地）内工作，这给设计和制造都带来难题，而且基准电压输入阻抗随着代码而大幅改变，因此基准电压输入必须通过一个非常低的阻抗驱动。此外，DAC 的增益无法通过与 V_{REF} 引脚串联的电阻进行调整。

图 6 所示为电流模式 R-2R 梯形电阻 DAC，DAC 的增益可以通过 V_{REF} 引脚上的串联电阻进行调整，这是因为在电流模式中，电阻梯的末端（具有与代码无关的阻抗）用作 V_{REF} 引脚，臂的末端在地（有时是处于地电位的“反相输出”）与输出线（必须保持地电位）之间切换。电流模式梯形电阻网络的输出一般连接到一个配置为电流电压(I/V)转换器的运算放大器，但由于 DAC 输出阻抗随着数字代码而变化，该运算放大器的稳定机制变得较为复杂。如前所述，有时将这种架构称为“反相 R-2R” DAC。

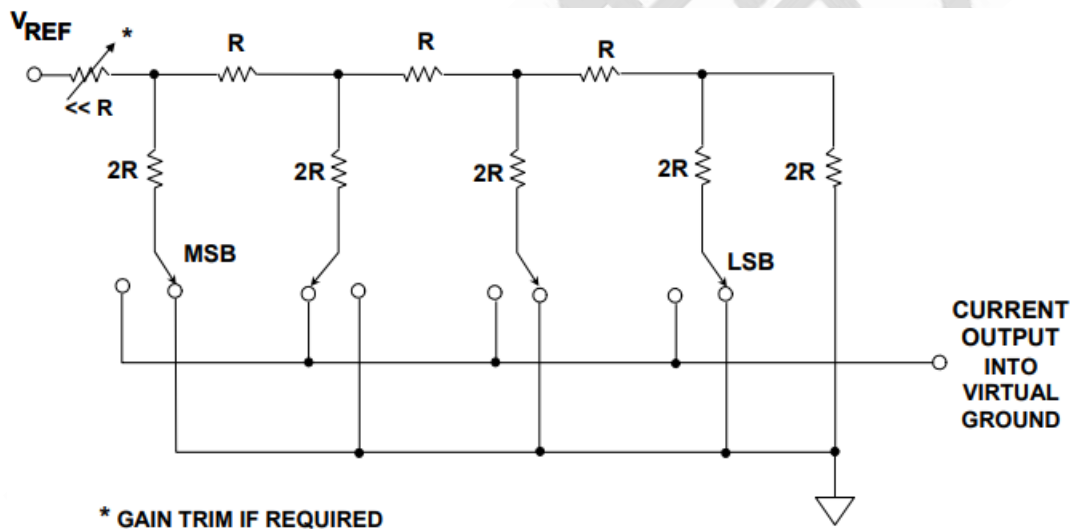


图 6. 电流模式 R-2R 梯形电阻网络 DAC 常用于乘法 DAC

以电流模式工作时，开关直接连接到输出线，因此其开关毛刺大于电压模式下的开关毛刺。然而，由于电流模式梯形电阻网络的开关始终处于地电位，因此其设计要求较低，具体来说，其电压额定值不影响基准电压额定值。如果使用能够承载任一方向电流的开关（如 CMOS 器件），则基准电压可以具有任一种极性，甚至可以是交流电压。这种结构是乘法 DAC(MDAC)最常用的一种结构。

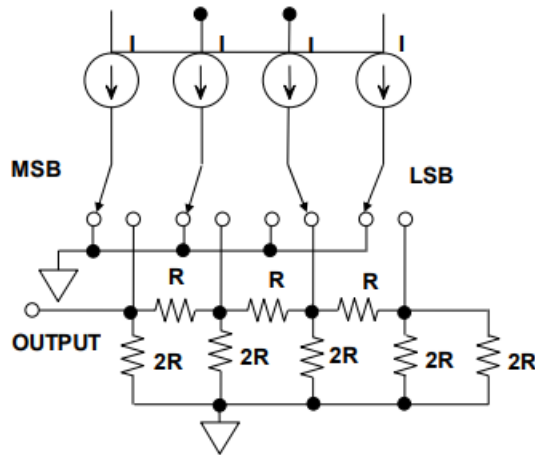
如果开关是先合后开型（在此类 DAC 中就是如此），并且电阻为薄膜型，则由于开关始终处于或非常接近地电位，最大基准电压可能远远超过逻辑电压。对于 CMOS MDAC，在采用 5V 单电源供电的同时支持 $\pm 30V$ 基准电压（甚至 60V 峰峰值交流基准电压）并不罕见。

在所有 DAC 中，输出均为基准电压与数字代码的乘积，如此说来，所有 DAC 都是乘法 DAC。但有些 DAC 使用外部基准电压，它可以在很宽的范围内变化。这些才是一般所称的“乘法 DAC”或 MDAC，其模拟输出等于模拟输入与数字代码的乘积，它们能在许多不同的应用中发挥重要作用。按照 MDAC 的严格定义，当其基准电压降至 0 时，它仍能继续正常工作，但对于在 10:1 甚至 6:1 基准电压范围内工作的 DAC，使用该术语则不那么严格，此类器件称为“半乘法”DAC 可能更准确。

有些类型的乘法 DAC 只能采用一种极性（二象限）的基准电压工作，有些则能处理双极性（正或负）基准电压，甚至可以采用交流信号作为基准电压。采用双极性基准电压工作的双极性 DAC 称为“四象限”乘法 DAC。某些类型的 MDAC 采用特殊配置，其基准电压可以远大于电源电压。

电流模式梯形电阻网络和 CMOS 开关支持正、负和交流基准电压 V_{REF} ，如前面的图 6 所示。这是一种简单的 MDAC 实现方案，还有其它几种方案也是可行的。

R-2RDAC 的另一种常见形式是将等电流切换到 R-2R 网络中，如图 7 所示。这种架构由 EPSCO（现名为 Analogic, Inc.）的 Bernard M. Gordon 在一个真空管 11 位 50kSPS 逐次逼近型 ADC 中首次实现。Gordon 的 1955 年专利申请描述了该 ADC，它是首款完整的商用转换器。在该架构中，DAC 的输出阻抗等于 R，此结构常用于高速视频 DAC 中。它的一个独特优势是无论分辨率如何，只需要 2:1 的电阻比。然而，在某些应用中，R-2R 网络的输出阻抗相对较低可能是一个缺点。



Adapted from: Bernard M. Gordon and Robert P. Talambiras, "Signal Conversion Apparatus," U.S. Patent 3,108,266, filed July 22, 1955, issued October 22, 1963

图 7. 等电流源切换到 R-2R 梯形电阻网络

图 8 所示的 DAC 将二进制加权电流切换到负载。输出阻抗较高，这种架构一般具有 1V 左右的输出顺从电压。目前讨论的所有二进制加权 DAC 都有一个主要问题，这就是高分辨率需要大电阻比，使得制造非常困难。

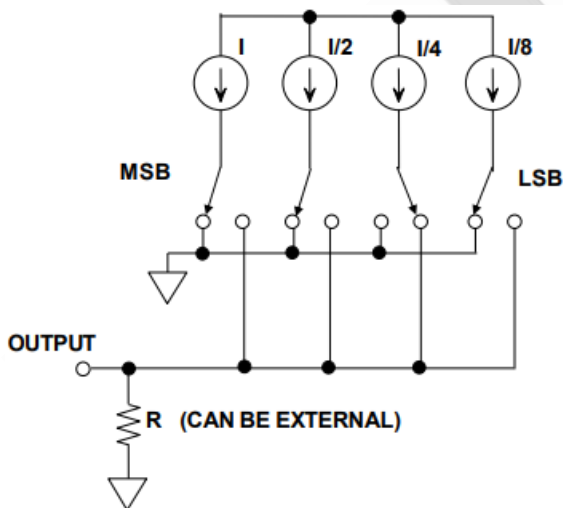


图 8. 二进制加权电流源切换到负载

关于单芯片 DAC 的一些历史知识

1970 年，ADI 公司推出了 [AD550](#) “ μ DAC” 单芯片四通道（4 位）电流开关构建模块 IC，如图 9 所示。注意，二进制加权电流是利用一个外部薄膜网络产生，而片内激光调整薄

膜电阻技术直到数年后才开发出来。晶体管面积成比例(8:4:2:1)，从而确保所有晶体管的电流密度相等，以实现最佳 V_{BE} 匹配。

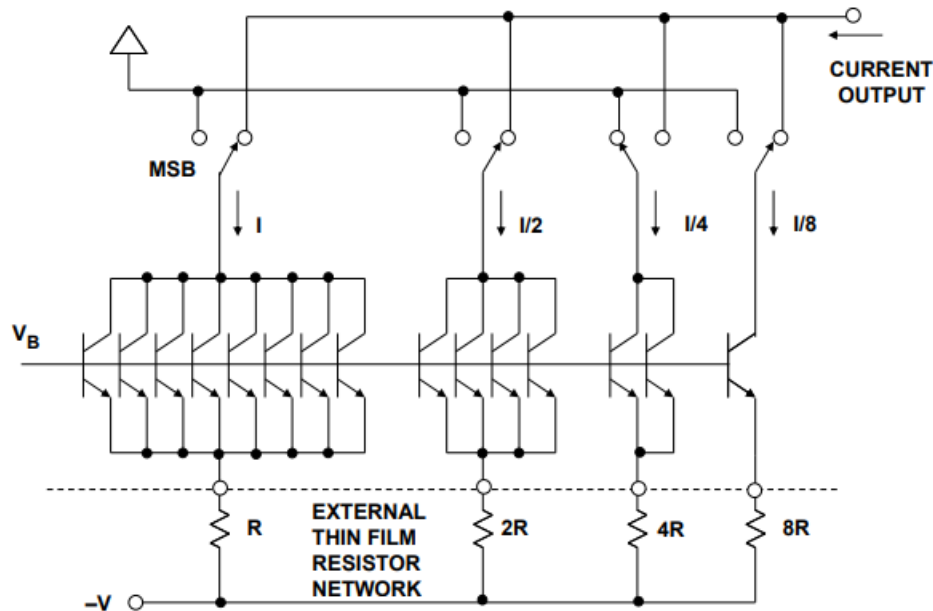


图 9. 二进制加权 4 位 DAC——AD550 “ μ DAC” 四通道开关

在四通道开关中产生二进制加权电流的另一种方法如图 10 所示，二进制电流分配由连接到晶体管发射极的 R-2R 梯形电阻网络实现。

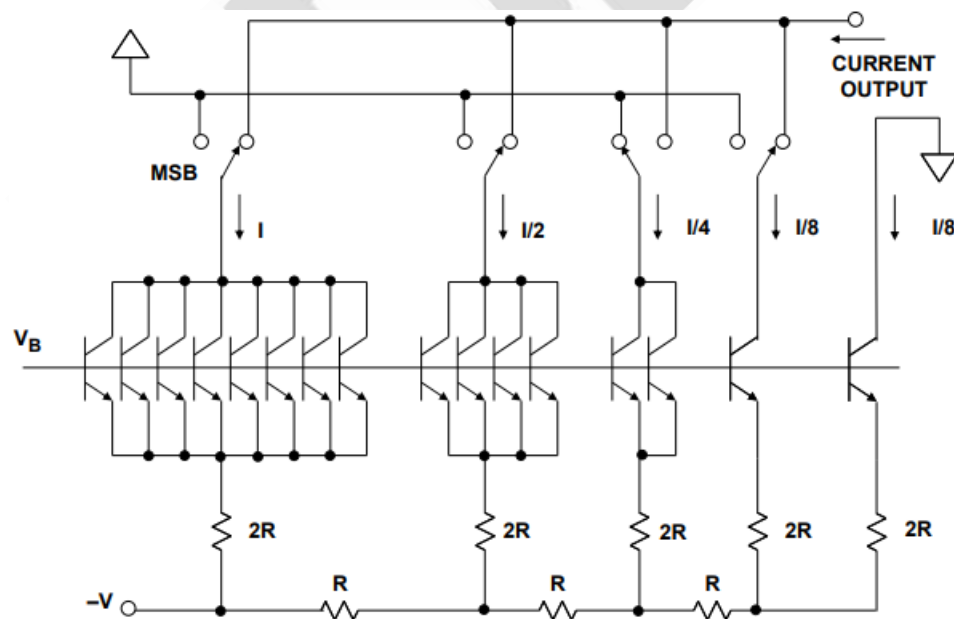


图 10. 二进制加权 4 位 DAC——R/2R 梯形电阻网络电流设置电阻

图 11 显示如何连接三个四通道开关 [AD550](#) 和 16:1 级间衰减器来构成 12 位电流输出 DAC。注意，所需的最大电阻比 16:1 是可实现的。这种单芯片“四通道开关” ([AD550](#) μ DAC) 与薄膜电阻网络(AD850)、基准电压源、运算放大器一起，构成 1970 年代早期 12 位 DAC 常用的构建模块，数年后才推出 IC 形式的完整功能 DAC。四通道开关的概念已由 James J.Pastoriza 申请专利 (1970 年申请)。

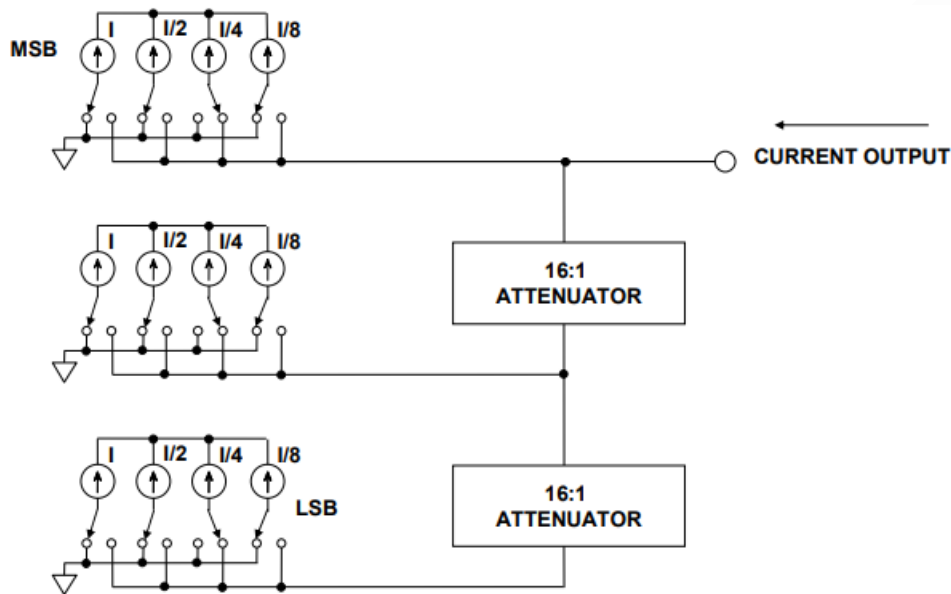
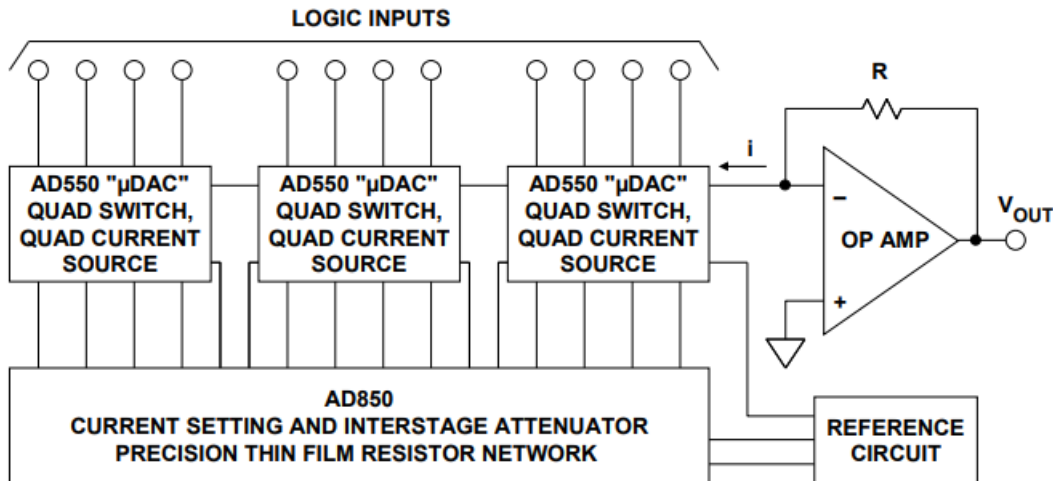


图 11. 使用级联二进制“四通道开关”的 12 位电流输出 DAC

图 12 所示为 1970 年代的完整 12 位 DAC 解决方案，包括三个单芯片四通道开关、一个薄膜电阻网络、一个运算放大器和一个基准电压源。单芯片四通道开关的匹配精度与外部薄膜网络的精度和跟踪能力共同实现了 12 位性能，无需进一步调整。



James J. Pastoriza, "Solid State Digital-to-Analog Converter,"
U.S. Patent 3,747,088, filed December 30, 1970, issued July 17, 1973

图 12. 1970 年代 12 位 DAC 使用四通道电流开关、薄膜电阻网络、运算放大器和齐纳二极管基准电压源

利用四通道开关方法实现完整的单芯片 12 位 DAC 需要解决多个问题，其中之一是每个 4 位 DAC 都要求 8:4:2:1 比例的发射极面积，总共需要 15 个单位发射极面积，这会占用相当大的芯片面积。四通道开关构建模块问世数年后，ADI 公司的 Paul Brokaw 发明了一种技术，该技术使得仅前两个电流源需要 2:1 比例的发射极，后续电流源具有相同的单位发射极面积，但以不同的电流密度工作，同时电流仍然保持稳定，不随温度而变化。Paul Brokaw 的著名专利（1975 年申请）详细描述了这一技术，该篇专利可能是数据转换器领域引用最多、流传最广的专利。

应当注意，这些早期 IC DAC 所建立的基本电路原理至今仍然广泛适用。

DAC 基本架构 III：分段 DAC

分段 DAC 当我们需要设计一个具有特定性能的 DAC 时，很可能没有任何一种架构是理想的。这种情况下，可以将两个或更多 DAC 组合成一个更高分辨率的 DAC，以获得所需的性能。这些 DAC 可以是同一类型，也可以是不同类型，各 DAC 的分辨率无需相同。

原则上，一个 DAC 处理 MSB，另一个 DAC 处理 LSB，其输出以某种方式相加。这一过程称为“分段”，这些更复杂的结构称为“分段 DAC”。有许多不同类型的分段 DAC，本章节不可能逐一说明，但会介绍其中的几种。

图 1 显示了两类分段电压输出 DAC。图 1A 中的架构有时称为 Kelvin-Varley 分压器，由两个或更多“串 DAC”组成。第一级与第二级之间存在缓冲器，因此第二个串 DAC 不会加载第一个串 DAC，该串中的电阻值无需与另一个串中的电阻值相同。然而，各串中的所有电阻必须彼此相等，否则 DAC 将不是线性的。示例的第一级和第二级均为 3 位，但为了具有普遍意义，我们称第一(MSB)级的分辨率为 M 位，第二(LSB)级的分辨率为 K 位，总分辨率为 $N=M+K$ 位。MSBDAC 具有 2^M 个等值电阻，LSBDAC 具有 2^K 个等值电阻。

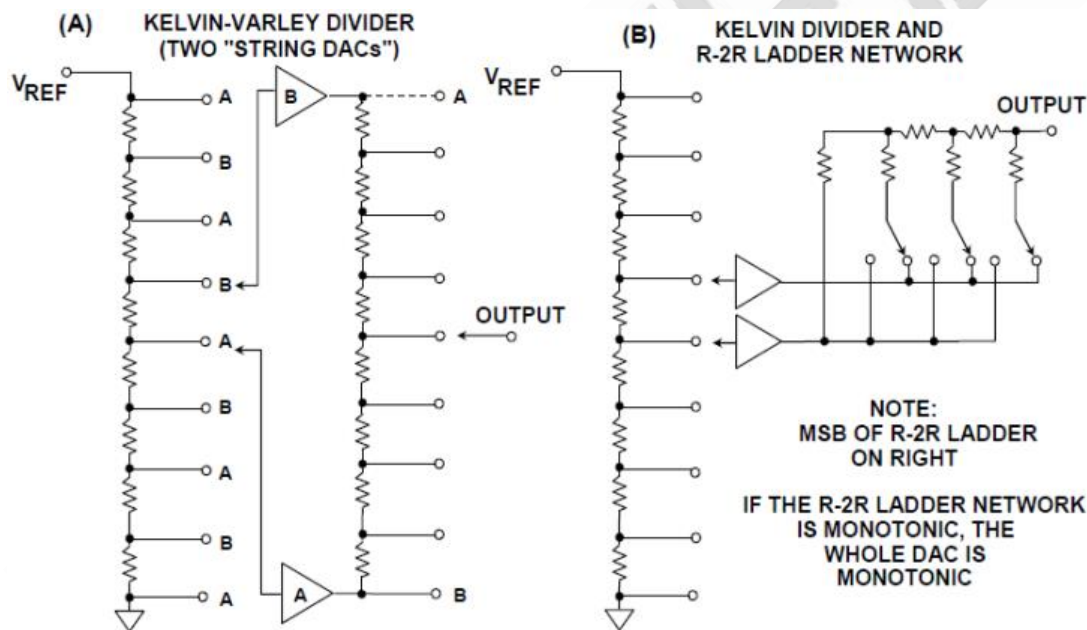


图 1. 分段式电压-输出 DAC

当然，缓冲放大器具有失调，这可能会在缓冲分段串 DAC 中造成非单调性。在缓冲 Kelvin-Varley 分压器缓冲器的更简单配置中（图 1A），缓冲器 A 总是“低于”（电位低于）缓冲器 B，LSB 串 DAC 上标“A”的额外抽头是不必要的。数据解码电路仅为两个优先级编码器。然而，在此配置中，缓冲器失调可能会造成非单调性。

但是，如果将 MSB 串 DAC 的解码电路做得更复杂一点，使得缓冲器 A 只能连接到 MSB

串 DAC 标“A”的抽头，缓冲器 B 只能连接到标“B”的抽头，则缓冲器失调将无法造成非单调性。当然，LSB 串 DAC 解码必须改变方向，缓冲器需要跳跃连接到另一端，LSB 串 DAC 的抽头 A 和 B 不需要交替，但这需要略微复杂一点的逻辑，而性能的提高证明这样做是值得的。

也可以不使用第二个电阻串，而是使用一个二进制 DAC 来产生三个 LSB，如图 1B 所示。制造极高分辨率的 R-2R 梯形电阻网络非常困难，更确切地说，很难将其调整为单调性。因此，常见的情况是 LSB 使用由梯形电阻网络，2 到 5 个 MSB 则使用其它结构来合成高分辨率 DAC。图 1B 所示的电压输出 DAC 由一个 3 位串 DAC 和一个 3 位缓冲电压模式梯形电阻网络组成。

无缓冲的分段串 DAC 架构如图 2 所示。在原理上，这种形式更巧妙，并且可以通过 CMOS 工艺制造（它能制造电阻和开关，但不能制造放大器），因此也更便宜。这种架构本身即具备单调性。

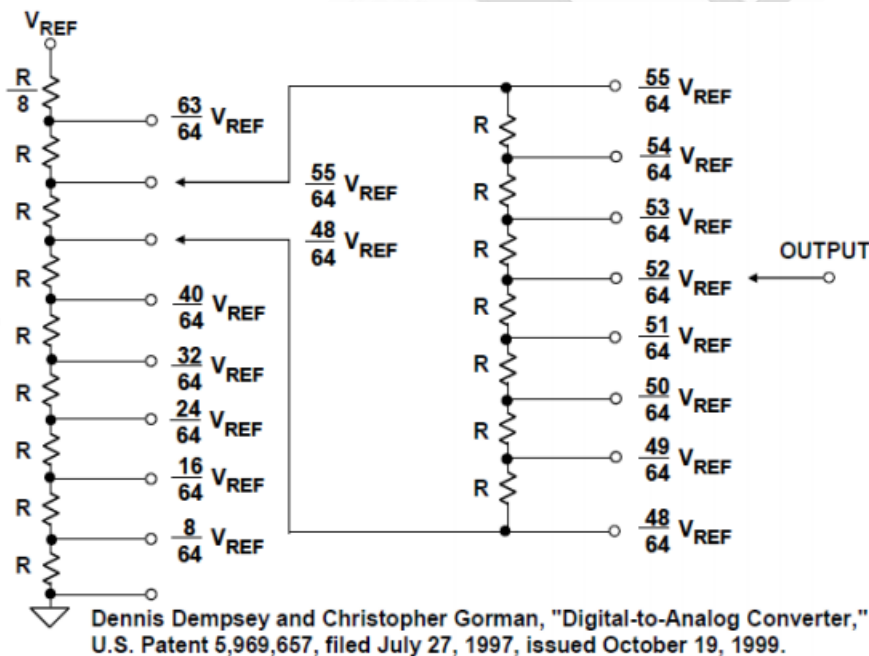


图 2. 分段无缓冲串 DAC 使用专利架构

本例中，两个串中的电阻必须等值，唯一的例外是 MSB 串中的顶端电阻必须较小（其

它电阻值的 $1/2^k$)，此外 LSB 串具有 2^k-1 个电阻，而不是 2^k 个。由于没有缓冲器，LSB 串看起来像是与它切换并加载的 MSB 串中的电阻并联，这就使得该 MSB 电阻上的电压降低 LSB 串 DAC 的 1 LSB，而这正是所需要的结果。由于无缓冲，此 DAC 的输出阻抗随着数字代码的改变而变化。

为了更好地了解这一巧妙的原理，对于图 2 所示的由两个 3 位串 DAC 组成的 6 位分段 DAC，我们计算并标示出了各抽头的实际电压。建议读者将第二个串 DAC 连接到第一个串 DAC 中的任何其它电阻两端，完成这一简单的分析过程并验证结果。

适合视频、通信和其它高频重构应用的极高速 DAC 常常采用完全解码电流源阵列来构建，两或三个 LSB 可以使用二进制加权电流源。此类 DAC 在高频时的失真非常低，这一点极其重要，而且设计中还有几个重要问题需要考虑。

首先，电流不是接通或关闭，而是被导向一个地方或另一个地方。在高速运行时，关闭电流常常会引起感性尖峰，由于电容充电，它一般需要比电流导向更长的时间。

其次，芯片上开关电流所需的电压变化应尽可能小。电压变化会导致更多电荷流入杂散电容，电荷耦合的毛刺也会更大。

最后，解码必须在新数据应用到 DAC 之前完成，使得所有数据均已就绪，可以同时应用到 DAC 中的所有开关。其实现方式一般是对一个完全解码阵列中的各个开关使用独立的并联锁存器。如果所有开关瞬间同时改变状态，就不会有偏斜毛刺。只要精心设计芯片周围的传播延迟以及开关电阻和杂散电容的时间常数，就能非常好地实现更新同步机制，因而毛刺相关的失真将非常小。

图 3 显示了分段电流输出 DAC 结构的两个例子。图 3A 所示为利用电阻方法实现 7 位 DAC，其中 3 个 MSB 通过完全解码获得，4 个 LSB 来自一个 R-2R 网络。图 3B 所示为使用电流源的类似实现方案。对于当今的高速重构 DAC，电流源方案是目前最受欢迎的实现方法。

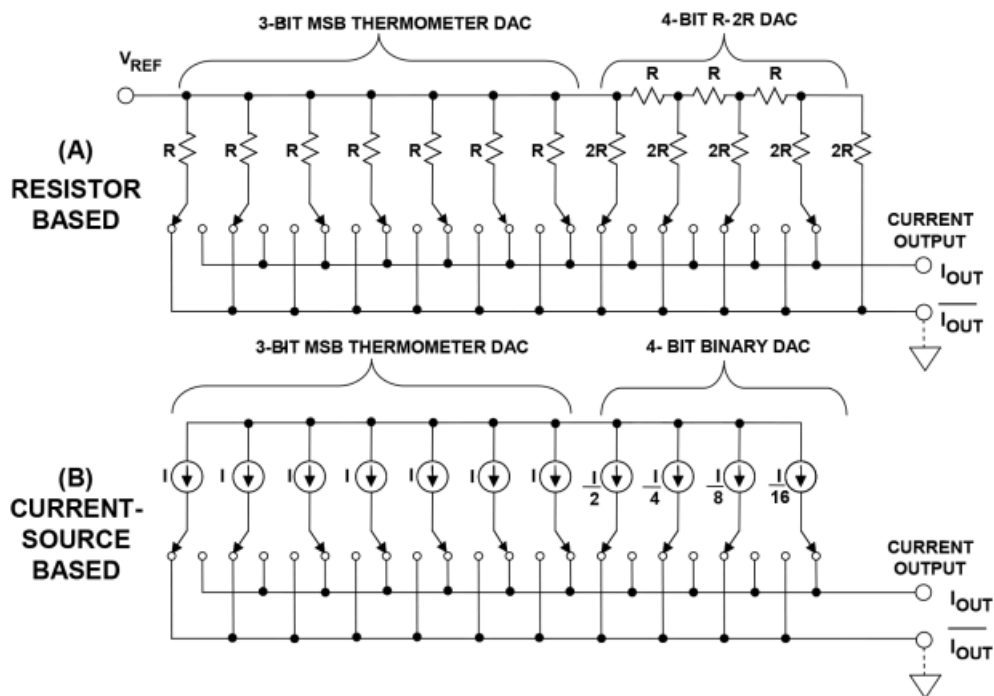


图 3. 分段电流输出 DAC: (A)电阻方案; (B)电流源方案

此外，常常也需要利用多个完全解码 DAC 来构成整个 DAC。图 4 所示的 6 位 DAC 由两个完全解码 3 位 DAC 构成。如前所述，为使输出毛刺最小，必须利用并联锁存器同时驱动这些电流开关。

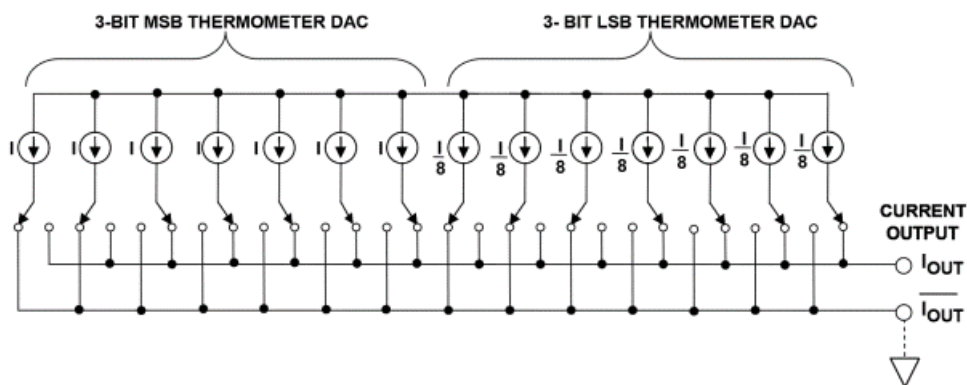


图 4. 基于两个 3 位温度计 DAC 的 6 位电流输出分段 DAC

[AD9775](#) 14 位 160MSPS (输入) / 400MSPS (输出) TxDAC® 使用三段，如图 5 所示。AD977x 系列的其它产品和 AD985x 系列也使用同样的基本内核。

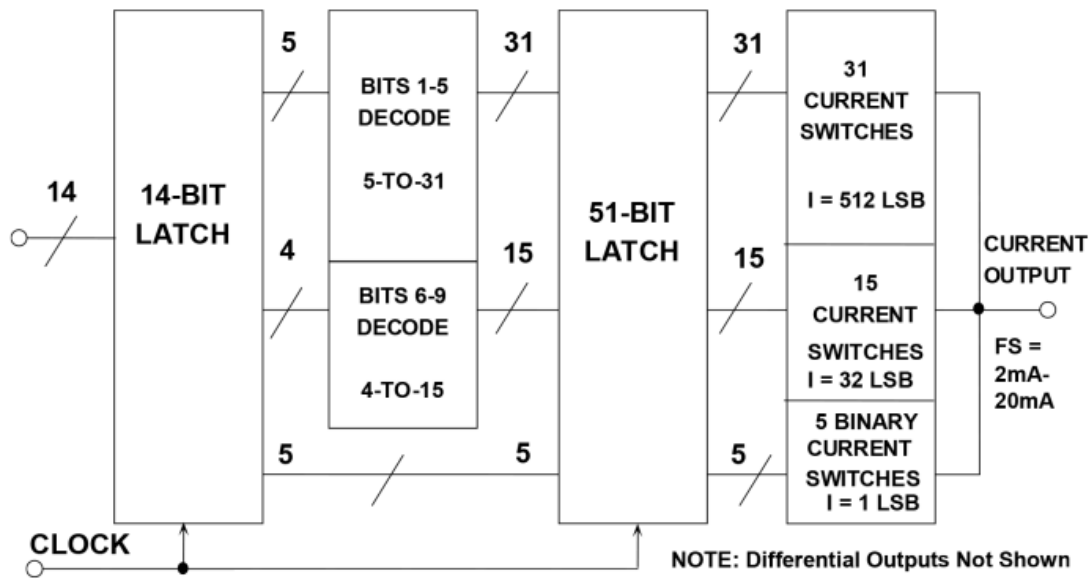


图 5. [AD9775](#) TxDAC[®] 14 位 CMOS DAC 内核

前 5 位(MSB)为完全解码型，驱动 31 个同等权重的电流开关，各开关提供 512 LSB 的电流。后续 4 位解码为 15 条线，驱动 15 个电流开关，各开关提供 32 LSB 的电流。最后 5 个 LSB 位被锁存，并驱动一个传统二进制加权 DAC，该 DAC 针对每个输出电平提供 1LSB。为了实现这种超低毛刺架构，总共需要 51 个电流开关和锁存器。

TxDAC 系列中的基本电流开关单元由图 6 所示的差分 PMOS 晶体管对组成。这些差分对通过低电平逻辑驱动，以便最大程度地降低开关瞬变和时间偏斜。DAC 输出为对称的差分电流，有助于减少偶数阶失真产物（特别是驱动变压器或运放差分电流电压转换器等差分输出时）。

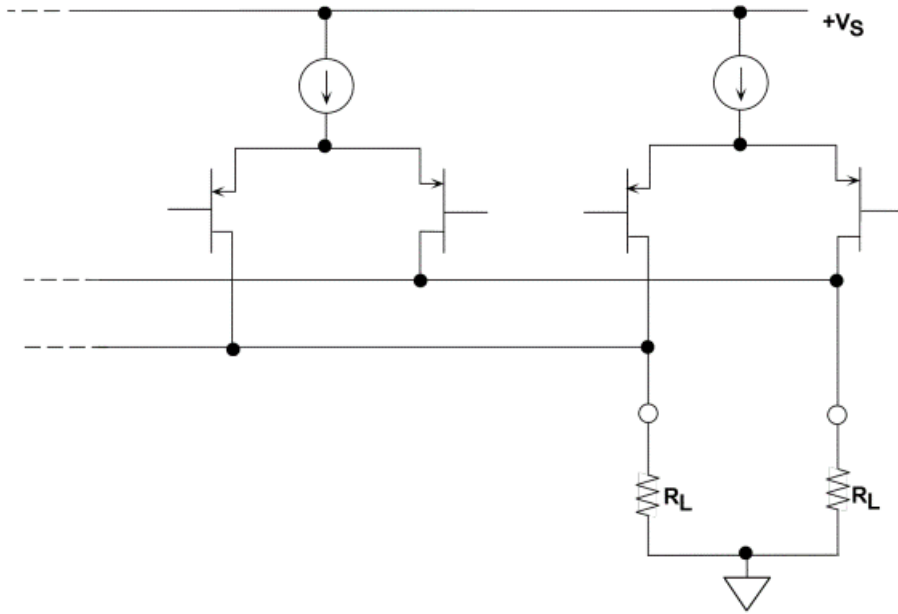


图 6. PMOS 晶体管电流开关

AD977x TxDAC®系列和 AD985x-DDS 系列的总体架构实现了功耗与性能的出色平衡，通过标准 CMOS 工艺就可以实现完整的 DAC 功能，无需薄膜电阻。

过采样插值 DAC

过采样和数字滤波有助于降低对 ADC 前置的抗混叠滤波器的要求。重构 DAC 可以通过类似的方式运用过采样和插值原理。例如，数字音频 CD 播放器常常采用过采样，其中来自 CD 的基本数据更新速率为 44.1kSPS。早期 CD 播放器使用传统的二进制 DAC，并将“0”插入并行数据中，从而将有效更新速率提高到基本吞吐速率的 4 倍、8 倍或 16 倍。4×、8× 或 16× 数据流通过一个数字插值滤波器，产生额外的数据点。高过采样速率将镜像频率移动到更高位置，从而可以使用较为简单、成本更低、过渡带更宽的滤波器。此外，由于存在处理增益，信号带宽内的 SNR 也会提高。Σ-Δ 型 DAC 架构使用高得多的过采样速率，将这一原理扩展到极致，因而在现代 CD 播放器中颇受欢迎。

同样的过采样和插值原理也可用于通信领域的高速 DAC，以便降低对输出滤波器的要求，并利用处理增益提高 SNR。

重构 DAC 的输出频谱

重构 DAC 的输出可以表示为一系列矩形脉冲，其宽度等于时钟速率的倒数，如图 1 所示。

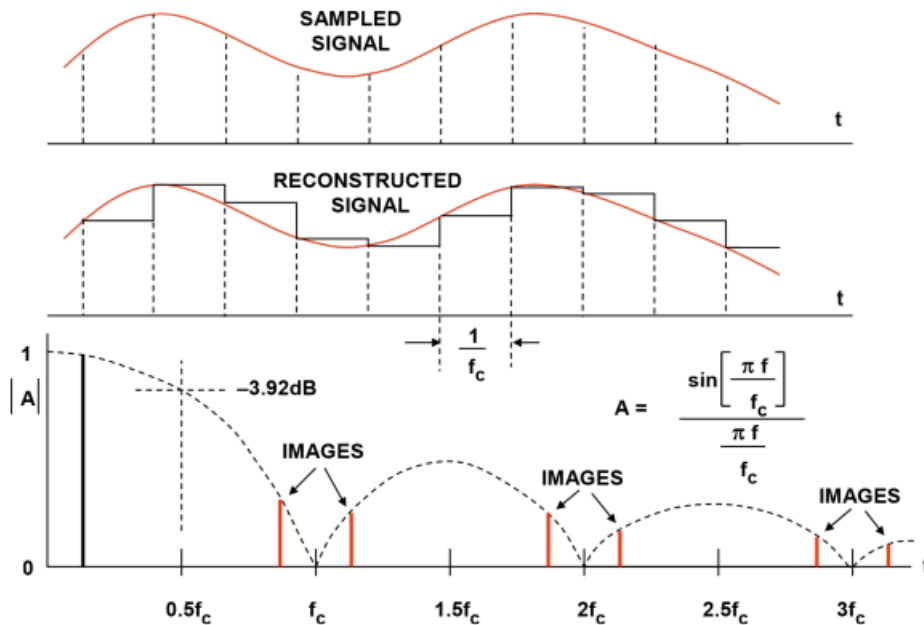


图 1. 显示镜像和 $\sin(x)/x$ 滚降的无滤波 DAC 输出

请注意，在奈奎斯特频率 $f_c/2$ ，重构信号幅度降低 3.92dB。如果需要，可以使用一个反 $\sin(x)/x$ 滤波器来补偿此效应。基波信号的镜像作为采样函数的结果出现，并且也通过 $\sin(x)/x$ 函数衰减。

过采样插值 DAC

过采样/插值 DAC 的基本原理如图 2 所示。N 位输入数据字以速率 f_c 接收。数字插值滤波器以等于过采样频率 Kf_c 的时钟速率工作，并插入额外的数据点。对输出频谱的影响如图 2 所示。在奈奎斯特采样频率下(A)，对模拟抗镜像滤波器的要求可能相当高。通过过采样和插值，可以大大降低对该滤波器的要求，如(B)所示。此外，量化噪声分布在比原始信号带宽更宽的区域，因而信噪比也会有所提高。原始采样速率加倍时($K=2$)，SNR 提高 3dB； $K=4$ 时，SNR 提高 6dB。早期 CD 播放器利用了这一点，一般能将数字滤波器中的算法精确到 N 位以上。如今，CD 播放器中的多数 DAC 都是 $\Sigma-\Delta$ 型。

关于过采样/插值 DAC 原理的最早期文献有 Ritchie、Candy 和 Ninke 于 1974 发表的论文，以及 Mussman 和 Korte 于 1981 年（申请日期）申请的专利。

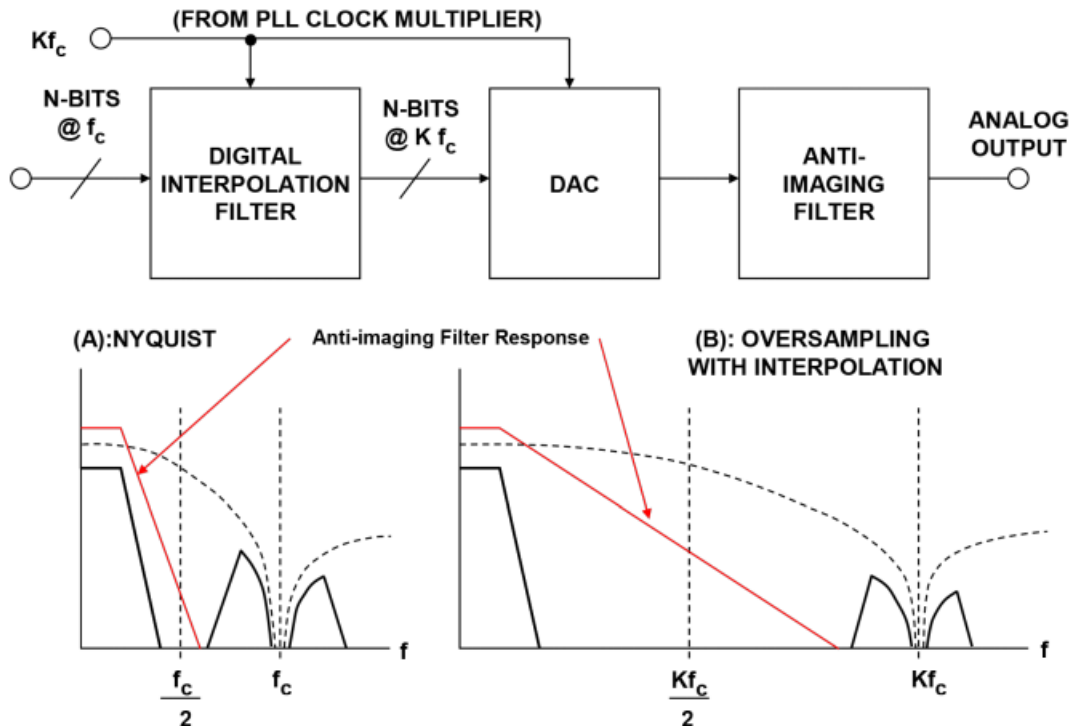


图 2. 过采样插值 DAC

下例使用一些实际的数值来说明过采样原理。假设以 30MSPS 的输入字速率驱动一个传统 DAC（参见图 3A），DAC 输出频率为 10MHz。在 $30-10=20\text{MHz}$ 时的镜像频率成分必须通过模拟抗混叠滤波器进行衰减，滤波器的过渡带始于 10MHz，止于 20MHz。假设必须将镜像频率衰减 60dB，则在 10MHz 到 20MHz（一个倍频程）的过渡带内，滤波器必须从 10MHz 的通带转折频率变为 60dB 的阻带衰减。滤波器每个极点提供大约 6dB/倍频程的衰减。因此，为了提供所需的衰减，至少需要 10 个极点。过渡带越窄，则滤波器越复杂。

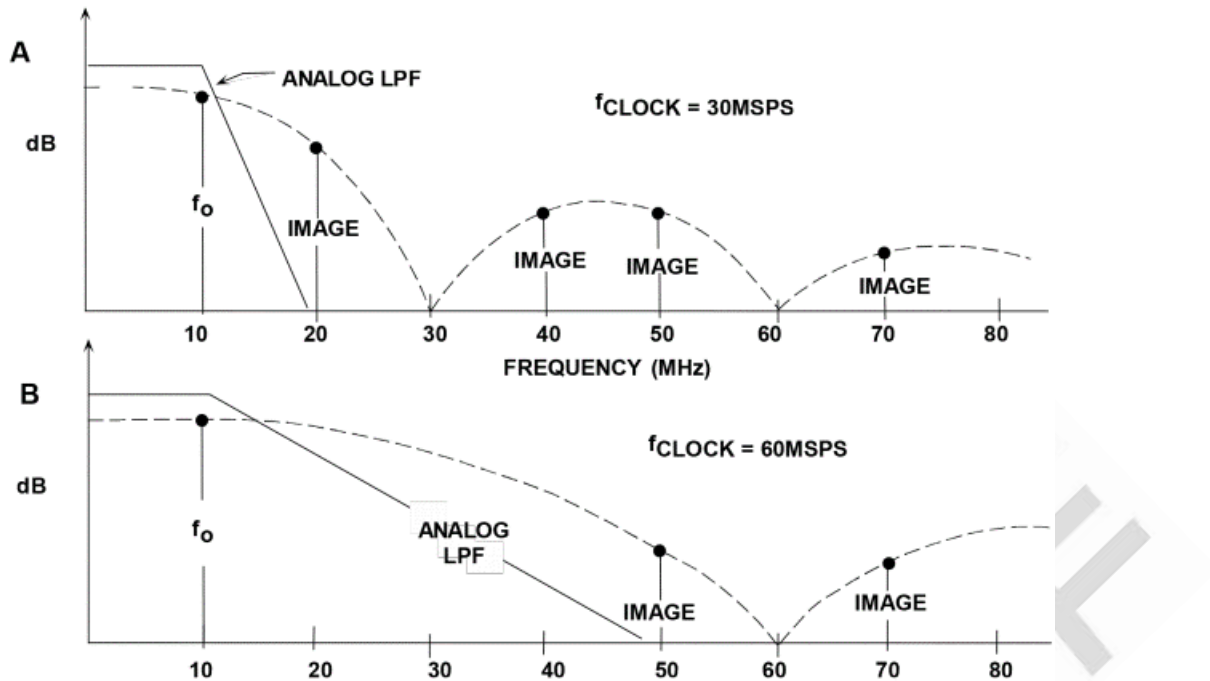


图 3. $f_o=10$ MHz 时的模拟滤波器要求: (A) $f_c=30$ MSPS, (B) $f_c=60$ MSPS

假设我们将 DAC 更新速率提高到 60MSPS, 并在各原始数据采样点之间插入“0”。现在, 并行数据流为 60MSPS, 但我们必须确定零值数据点的值, 这通过将添加 0 的 60MSPS 数据流经由数字插值滤波器处理来实现, 由滤波器计算额外的数据点。2 × 过采样频率下的数字滤波器响应曲线如图 3B 所示。模拟抗混叠滤波器过渡区现在是 10MHz 到 50MHz (第一镜像出现在 $2f_c - f_o = 60 - 10 = 50$ MHz)。该过渡区稍大于 2 个倍频程, 说明 5 或 6 极点滤波器即足够。

[AD9773/AD9775/AD9777](#) (12-/14-/16-bit) 系列发射 DAC (TxDAC[®]) 是 2 ×、4 × 或 8 × 可选过采样插值双通道 DAC, 图 4 为其简化框图。这些器件能够处理最高达 160MSPS 的 12/14/16 位输入字速率, 最大输出字速率为 400MSPS。假设输出频率为 50MHz, 输入更新速率为 160MHz, 过采样比为 2, 则镜像频率出现在 $320\text{MHz} - 50\text{MHz} = 270\text{MHz}$, 因此模拟滤波器的过渡带为 50MHz 至 270MHz。如果没有 2 倍过采样, 则镜像频率出现在 $160\text{MHz} - 50\text{MHz} = 110\text{MHz}$, 滤波器过渡带为 50MHz 至 110MHz。

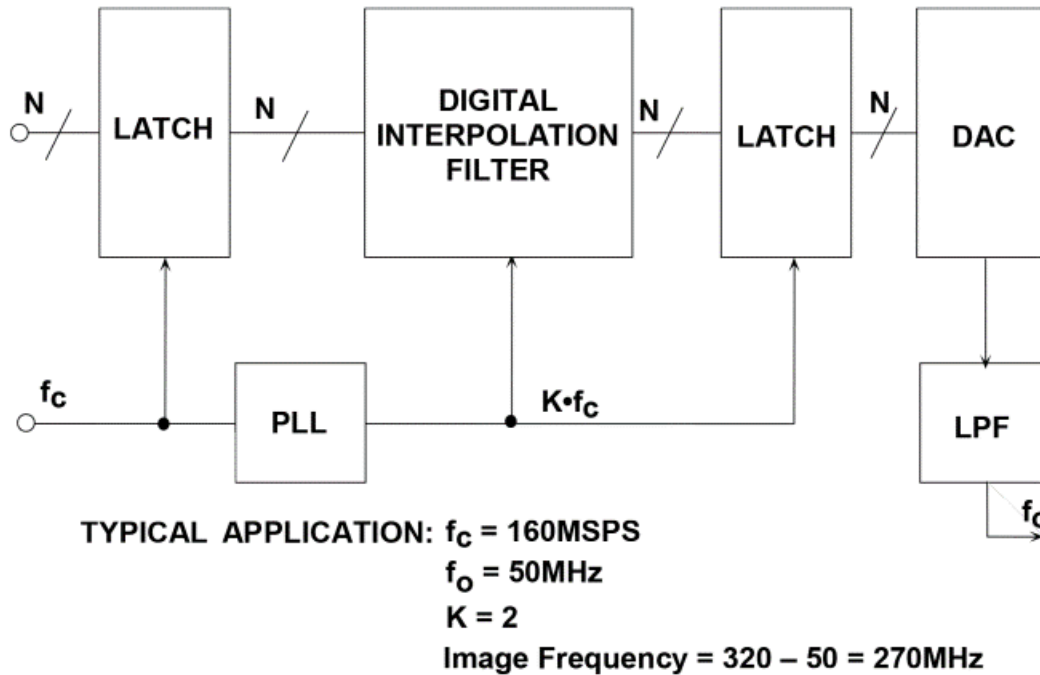


图 4. 过采样插值 TxDAC®的简化框图

还应注意，过采样插值 DAC 支持较低的输入时钟频率和输入数据速率，因而它在系统内产生噪声的可能性要低得多。

Σ-Δ 型 DAC

Σ-Δ 型 DAC 的工作原理与 Σ-Δ 型 ADC 非常相似，但在 Σ-Δ 型 DAC 中，噪声整形功能是利用数字调制器实现的，而不是利用模拟调制器。

与 Σ-Δ 型 ADC 不同，Σ-Δ 型 DAC 大多是数字式（参见图 5A）。它由一个“插值滤波器”（一个数字电路，以低速率接受数据，以高速率插入 0，然后应用数字滤波器算法并以高速率输出数据）、一个 Σ-Δ 型调制器（它对信号是低通滤波器，对量化噪声则是高通滤波器，并将由此产生的数据转换为高速位流）和一个 1 位 DAC 组成，该 DAC 的输出在等值正负基准电压之间切换。输出在外部模拟低通滤波器(LPF)中滤波。由于过采样频率很高，该 LPF 的复杂度远低于传统奈奎斯特采样频率下的情况。

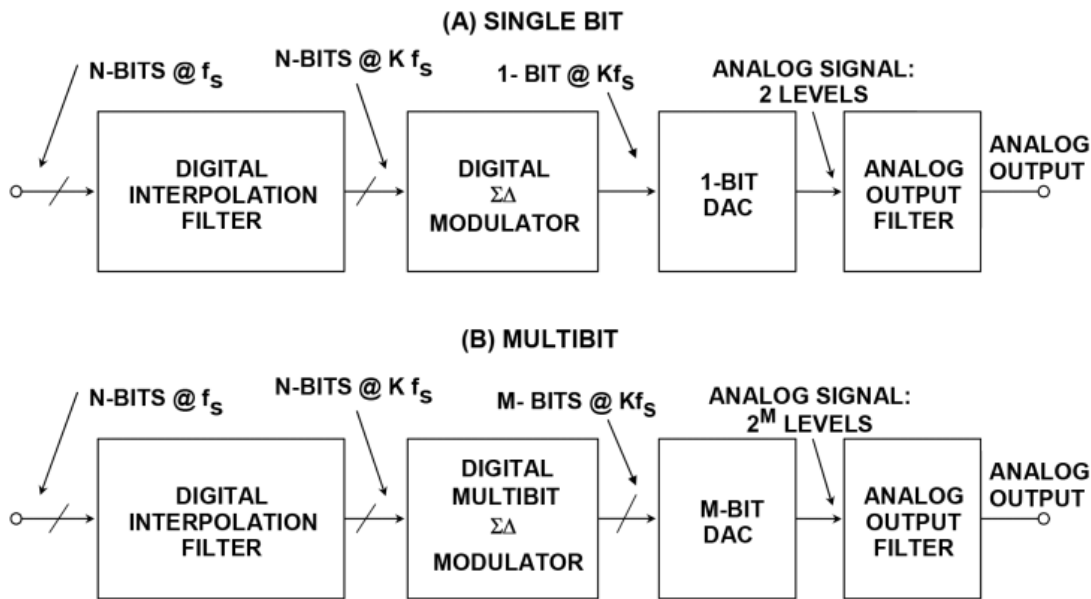


图 5. Σ - Δ 型 DAC

Σ - Δ 型 DAC 可以使用多位，这就是图 5B 所示的“多位”架构，其原理与之前讨论的插值 DAC 相似，不过增加了 Σ - Δ 型数字调制器。

过去，由于 n 位内部 DAC 的精度要求（它虽然只有 n 位，但必须具有最终位数 N 位的线性度），多位 DAC 难以设计。然而，[AD195x](#) 系列音频 DAC 利用专有“数据加扰”技术（称为“数据定向加扰”）解决了这一问题，在所有音频规格方面都能提供出色的性能。

图 6 所示为 [AD1955](#) 多位 Σ - Δ 型音频 DAC。[AD1955](#) 同样使用数据定向加扰技术，支持各种 DVD 音频格式，并具有非常灵活的串行端口。THD+N 典型值为 110dB。

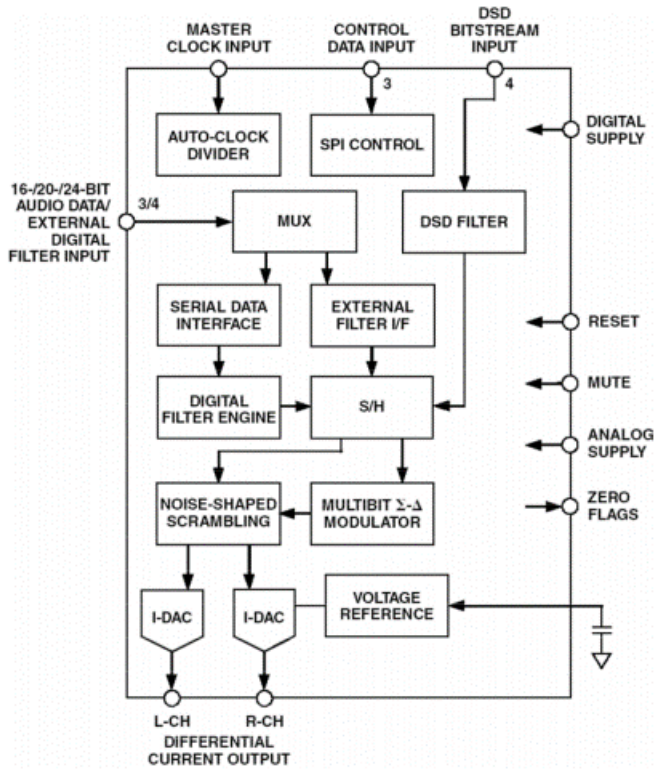


图 6. [AD1955](#) 多位 Σ - Δ 型音频 DAC

总结

在现代数据采样系统中，过采样结合数字滤波是强有力的工具。我们已经看到，同样的基本原理既适用于 ADC，也适用于重构 DAC。主要优点是对抗混叠/抗镜像滤波器的要求得以降低，另一个优点是 SNR 因处理增益而提高。

Σ - Δ 型 ADC 和 DAC 架构是过采样原理的终端扩展，同时也是大多数语音频带和音频信号处理数据转换器应用的首选架构。

有为之的非线性 DAC

通常，我们都是在强调数据转换器中保持良好微分和积分线性度的重要性。不过，在一些情况下，有为之的非线性 ADC 和 DAC（但保持良好的微分线性度）会非常有用，尤其是在处理具有宽动态范围的信号时。

非线性 DAC 和 ADC 的电信应用

非线性数据转换器的最早用途之一是对脉冲码调制(PCM)系统的语音频带信号进行数字化处理。在研发 T1 载波系统过程中，贝尔实验室做出了巨大贡献。使用非线性 ADC 和 DAC 的动机是为了减少对语音通道进行数字化处理所需的总位数，从而降低串行传输速率。直接对语音通道进行线性编码需要 11 或 12 位，且采样速率为 8kSPS。上世纪 60 年代，贝尔实验室确定 7 位非线性编码就已够用；之后在 70 年代，他们转而采用 8 位非线性编码来改善性能。

在总的范围内，非线性传递函数针对小信号分配的量化级数较多，而针对大幅度信号则较少。实际上，这样可以减少与小信号相关的量化噪声（噪声影响最为显著），并增加较大信号的量化噪声（噪声影响最不明显）。通常使用“压缩扩展”这一术语来描述此种编码形式。

选定的对数传递函数称作“Bell μ -255”标准，或者就是“ μ 法则”。欧洲制定有一项类似标准，称为“A法则”。Bell μ 法则支持通过 8 位实现约 4000:1 的动态范围，而 8 位线性数据转换仅提供 256:1 的范围。

在发射器中，第一代通道分组(D1)使用以温度控制的电阻二极管网络作为 7 位线性 ADC 之前的“压缩器”来产生对数传递函数。在接收器中，7 位线性 DAC 后接具有反向传递函数的相应电阻二极管“扩展器”。下一代 D2 通道分组采用非线性 ADC 和 DAC，以一种更可靠、更具成本效益的方式来实现压缩/扩展功能，并且无需温度控制二极管网络。

B.D.Smith 在其 1953 年发表的经典论文中提出，当反馈路径中使用非线性内部 DAC 时，逐次逼近型 ADC 的传递函数是该 DAC 的反向传递函数。因此，相同的基本 DAC 可以用于 ADC 中，也可以用于重构 DAC。上世纪 60 年代末期和 70 年代早期，非线性 ADC 和 DAC 技术通过采用分段线性逼近法获得所需传递函数，实现了低成本、大规模使用。这些非线性 8 位、8kSPS 数据转换器已经成为常见的电信构建模块。

8 位 DAC 的非线性传递函数首先分为 16 个具有不同斜率的段（弦），具体斜率取决于所需的非线性传递函数。4 MSB 决定包含所需数据点的段，而每个段又进一步由 8 位字的 4 LSB 细分成 16 个相等的量化级。图 1 显示了 6 位 DAC 的情况，其中前 3 位确定 8 个可能弦之一，而每个弦又进一步根据 3 LSB 的定义细分成 8 个相等的等级。3 MSB 通过使用非线性串 DAC 产生，而 3 LSB 则使用 3 位二进制 R-2R DAC 产生。

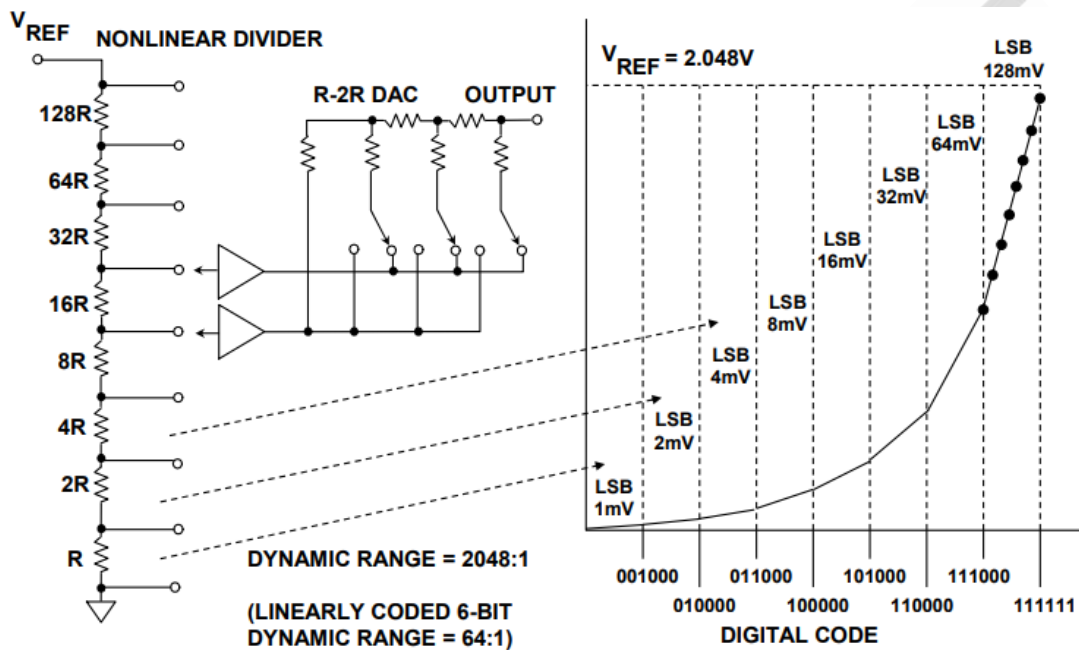


图 1. 非线性 6 位分段 DAC

1982 年，ADI 公司推出了 LOG DAC[®] [AD7111](#) 单芯片乘法 DAC，该芯片使用对数传递函数，具有宽动态范围。LOG DAC 中的基础 DAC 是一种其前配有 8 位输入解码器的 17 位电流模式线性“反转”R-2R DAC（见图 2）。LOG DAC 能以 0.375dB 步进，在 0dB 至 88.5dB 范围内对模拟输入信号 V_{IN} 进行衰减。DAC 上的衰减程度由作用于片内解码逻辑的非线性编码 8 位字决定。这个 8 位字先映射成相应的 17 位字，然后作用于一个 17 位 R-2R 梯形电阻。LOG DAC 的功能框图如图 2 所示。除提供对数传递函数之外，LOG DAC 还用作全四象限乘法 DAC。

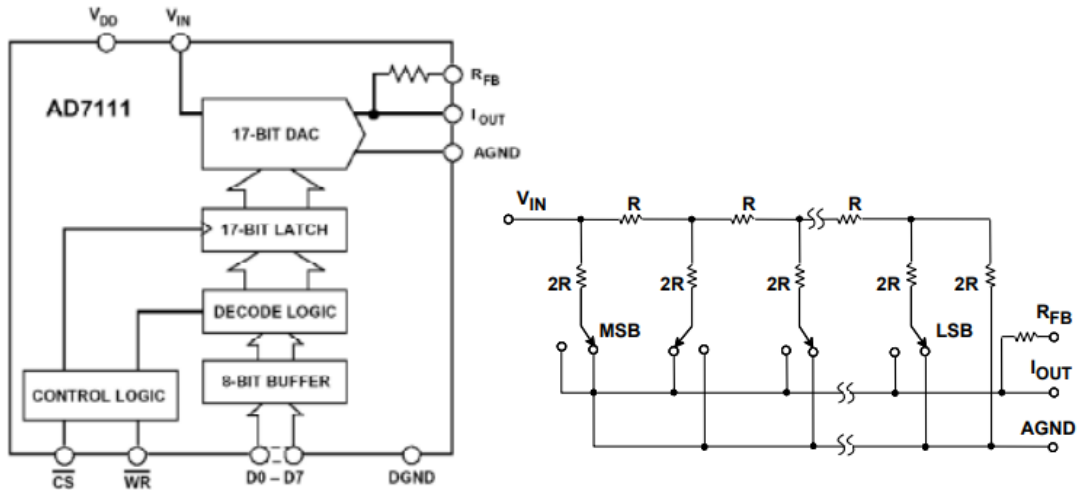


图 2. AD7111 LOG DAC[®] (1982 年发布)

随着高分辨率线性 ADC 和 DAC 的推出，LOG DAC[®]中采用的方法现已广泛用于实施各种非线性传递函数，如电信及其它应用中所需的 μ 法则和 A 法则压缩扩展函数。图 3 所示为现代方法的通用框图。

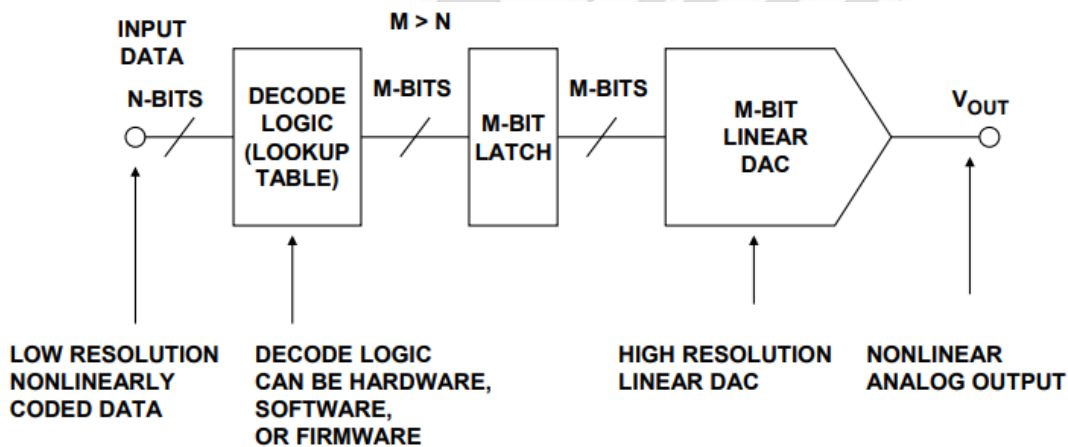


图 3. 通用非线性 DAC

以 μ 法则或 A 法则压缩扩展的输入数据映射成高分辨率 DAC 传递函数上的数据点。这种映射可以通过硬件、软件或固件中的简易查找表来轻松实现。通过使用高分辨率 ADC 对模拟输入信号进行数字化处理，然后使用合适的传递函数将数据点映射到较短字，可以构建出类似的非线性 ADC。这种方法的一项巨大优势在于，无需与以前方法一样使用直线线段对传递曲线进行近似处理，因而精度更高。

DAC 接口基本原理

本章节概述与内置基准电压源、模拟输出、数字输入和时钟驱动器的 DAC 接口电路相关的一些重要问题。由于 ADC 也需要基准电压源和时钟，因此本章节中与这些主题相关的大多数概念同样适用于 ADC。

DAC 基准电压

越来越多的人简单地将 DAC 视作具有数字输入和一个模拟输出的器件。但模拟输出取决于是否存在称为基准电压源的模拟输入，且基准电压源的精度几乎始终是 DAC 绝对精度的限制因素。在匹配基准电压源和数据转换器时，基准电压源向导(Voltage Reference Wizard)等设计工具非常有用。

有些 ADC 使用电源作为基准电压源。不幸的是，与 ADC/DAC 基准电压源相关的标准是少之又少。有些情况下，内置基准电压源的转换器通常可以通过以更为精密和稳定的外部基准电压源覆盖或替换内部基准电压源来提高直流精度。其它情况下，通过使用外部低噪声基准电压源，也可以改善高分辨率 ADC 的无噪声码分辨率。

各种各样的 ADC 和 DAC 以各种各样的方式支持使用外部基准电压源来替代内部基准电压源。图 1 所示为一些常见配置（但显然并不是全部）。图 1A 所示为需要外部基准电压源的转换器。通常建议在 ADC/DAC REF_{IN} 引脚附近添加合适的去耦电容。基准电压源数据手册中通常指定了合适的电容值。另外，基准电压源在使用必要的容性负载时保持稳定是非常重要的（详见下文）。

图 1B 所示为内置基准电压源的转换器，其中基准电压源也引出到器件上的某个引脚。这样，只要负载不超过额定值，就可以在电路中的其它位置上使用该器件。另外，还要在转换器引脚附近放置电容。如果内置基准电压源可以通过引脚输出来供外部使用，ADC 或 DAC 数据手册上通常会指定其精度、稳定性和温度系数。

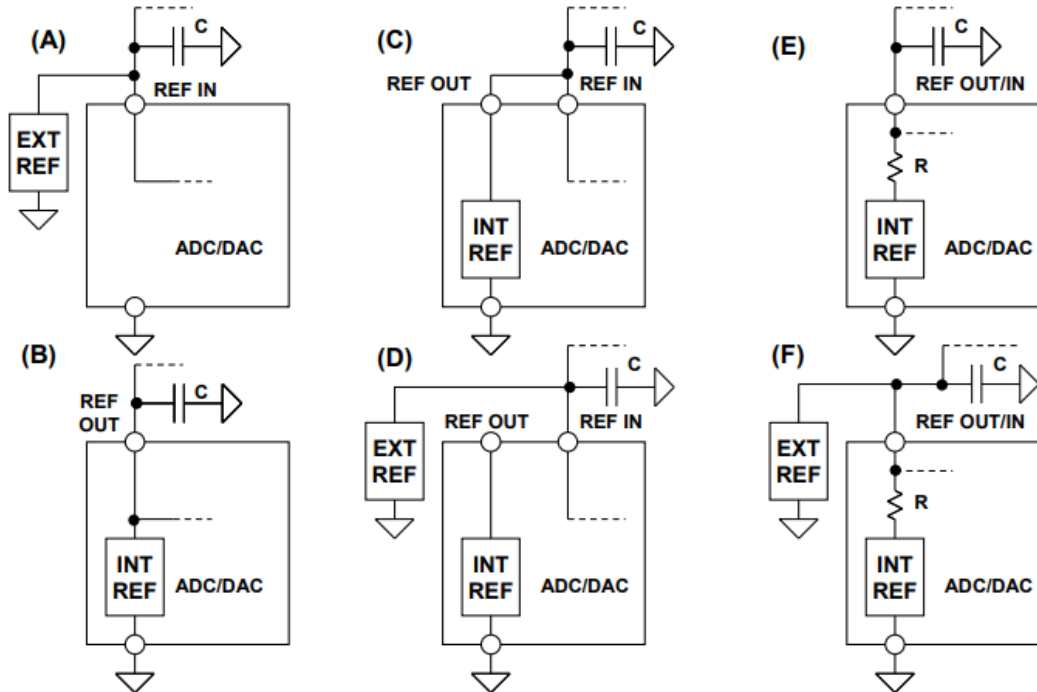


图 1. 一些常见的 ADC/DAC 基准电压源选项

如果是要在电路中的其它位置上使用基准输出，则必须严格遵守与扇出和负载相关的数据手册规格。此外，必须小心地进行基准输出布线，从而最大程度地减少噪声拾取。很多情况下，应直接在 REF OUT 引脚处连接合适的运算放大器缓冲器，然后再扇出至电路的各种其它部分。

图 1C 所示为采用内部或外部基准电压源但需要额外封装引脚的转换器。如果使用的是内部基准电压源（如图 1C），REF OUT 只需外部连接到 REF IN 并根据需要进行去耦。如果使用的是外部基准电压源（如图 1D），REF OUT 保持悬空，且外部基准电压源经过去耦后施加于 REF IN 引脚。这种配置相当灵活，可使用相同的基准电压源来驱动类似的 ADC 或 DAC，从而实现器件之间良好跟踪性能。

图 1E 所示为使用单个封装引脚以外部基准电压源来覆盖驱动内部基准电压源的配置。电阻 R 的值通常为数千 Ω ，因此允许通过将低阻抗外部基准电压源连接到 REFOUT/IN 引脚来覆盖驱动内部基准电压源。图 1F 显示的是如何连接外部基准电压源来覆盖内部基准电压源。

图 1 所示的配置并不是 ADC 和 DAC 基准电压源的唯一配置；欲了解有关选项、扇出和去耦等的详细信息，请查阅相关的数据手册。

虽然基准电压源元件本身可以是带隙型、嵌入式齐纳型或 XFET™型，但实际上所有基准电压源都具有某种类型的输出缓冲器运算放大器。运算放大器将基准电压源元件与输出端隔离开来并还提供驱动功能。不过，这种运算放大器必须遵守与运算放大器稳定性相关的一般通则，而这就是基准电压源去耦话题与本文讨论相关的原因所在。

注意，ADC 或 DAC 的基准电压输入与 ADC 的模拟输入相似，因为内部转换过程可以在该引脚处注入瞬态电流。这就要求进行充分去耦来稳定基准电压。添加此类去耦功能可能导致某些类型的基准电压源中出现不稳定，具体取决于输出运算放大器设计。当然，基准电压源数据手册可能并不会给出输出运算放大器的任何详细信息，而这在一定程度上让设计人员陷入两难境地，担心是否能够保持稳定且不会产生瞬态误差。很多情况下，ADC 或 DAC 数据手册将会推荐合适的外部基准电压源和推荐的去耦网络。

设计良好的基准电压源可以在采用重容性去耦时保持稳定。不幸的是，有些基准电压源并不能做到这点，并且电容越大，瞬态响铃振荡量实际上会增加。由于转换器几乎都需要一定的本地去耦，因此此类基准电压源在数据转换器应用中实际上毫无用处。

基准电压源和数据转换器之间可以添加合适的运算放大器缓冲器。不过，有很多品质良好的基准电压源可以在使用输出电容时保持稳定。数据转换器应用中应当选择这种类型的基准电压源，而不是进一步提高运算放大器的复杂性和成本。

DAC 模拟输出考虑因素

DAC 的模拟输出可能是电压或电流。两者情况下，可能都需要知道输出阻抗。如果对电压输出进行了缓冲，则输出阻抗将很低。而电流输出和未缓冲的电压输出将存在较高阻抗，并还可能具有电抗性分量以及纯粹的电阻性分量。在有些 DAC 架构的输出结构中，输出阻抗与 DAC 上的数字码字成函数关系，这点应会在数据手册中明确注明。

理论上，电流输出应当连接到电阻为零欧姆的地电位。在实际应用中，该输出将采用非零阻抗和电压。“顺从性”标题下只是定义了该输出可耐受的电压偏差大小，端接电流输出 DAC 时应当注意到此项技术规格。

适合视频、RF 或 IF 应用的大多数高速 DAC 具有电流输出，旨在直接驱动源和负载端接电缆。例如，20-mA 电流输出 DAC 可以在 25- Ω 负载（相当于 50- Ω 源和负载端接电缆的直流电阻）上产生 0.5V 的电压。大多数情况下，单电源高速 CMOSDAC 具有至少+1V 的正输出顺从电压和数百毫伏的负输出顺从电压。

很多情况下（如 TxDAC[®]系列），同时支持真正电流输出和互补电流输出。差分输出可以直接驱动变压器的初级绕组，并且通过将输出绕组的一侧接地，可以在次级绕组处产生单端信号。与简单地从 DAC 电流输出之一直接获取输出信号并将其它输出接地相比，这种方法通常可以在高频率下获得更佳失真性能。

现代电流输出 DAC 通常具有数个差分输出，以便实现高共模抑制并减少偶数阶失真产物。常见的满量程输出电压范围为 2mA 至 30mA。

在许多应用中，需要将 DAC 的差分输出转换成适合驱动同轴线路的单端信号。只要无需低频响应，那么通过 RF 变压器便可轻松地实现这点。图 2 所示为这种方法的典型示例。DAC 的高阻抗电流输出与 50 Ω 电阻差分端接，从而将变压器的源阻抗定义为 50 Ω 。所得到的差分电压驱动 1:1RF 变压器的初级绕组，从而在次级绕组的输出端产生单端电压。50 Ω LC 滤波器的输出与 50 Ω 负载电阻 R_L 相匹配，进而最终产生 1Vp-p 的输出电压。

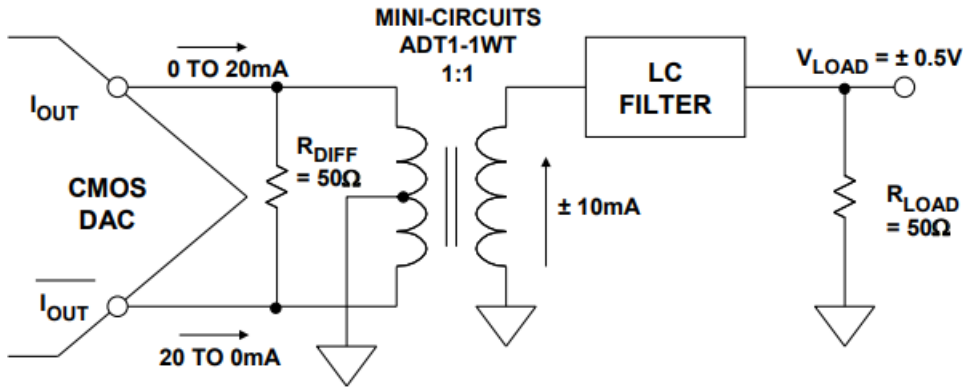


图 2. 差分变压器耦合

变压器不仅用于将差分输出转换成单端信号，而且还将 DAC 的输出与 LC 滤波器的抗性负载隔离开来，因而可以改善整体失真性能。

需要低至 DC 的频率响应时，可以连接运算放大器作为差分转单端转换器来获取单端输出。在图 3 中，运算放大器 [AD8055](#) 用于实现高带宽和低失真。电流输出 DAC 驱动平衡的 25Ω 阻性负载，从而在各输出端产生 0 至 +0.5V 的错相电压。这项技术用于代替直接 I/V 转换，从而防止高压摆率 DAC 电流导致放大器过载和引入失真。必须小心地处理使 DAC 输出电压位于其顺从电压额定值范围之内。

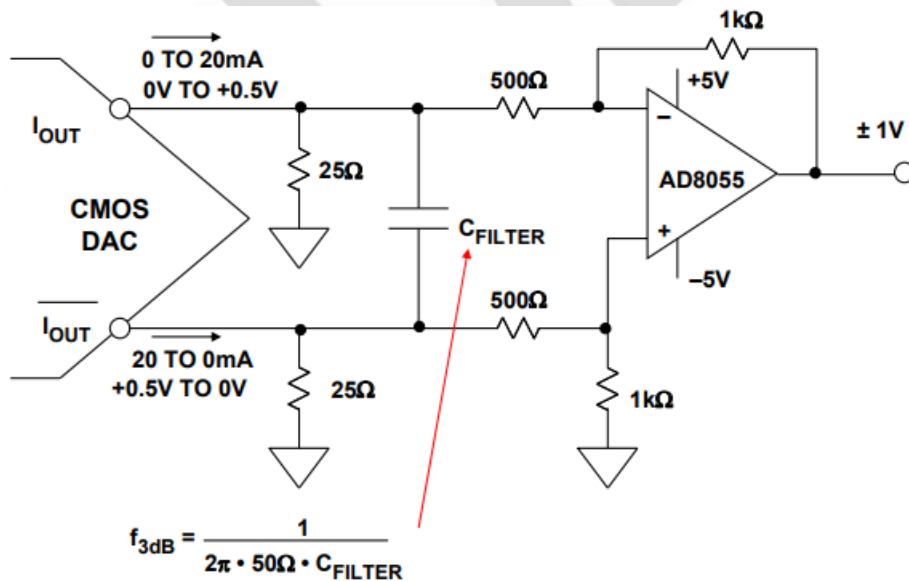


图 3. 采用双电源运算放大器时的差分直流耦合输出

[AD8055](#) 的增益配置为 2，以最终产生 2Vp-p 且以地电压为基准的单端输出电压。注意，由于输出信号摆幅高于/低于地，因此需要采用双电源运算放大器。

C_{FILTER} 电容构成具有 50Ω 等效差分输出阻抗的差分滤波器。此滤波器可减少运算放大器的任何压摆率型失真，而该滤波器的最佳截止频率是凭经验来确定的，旨在获得最佳整体失真性能。

只要运算放大器的共模电压设为中间电源电压(+2.5V)，则图 3 中的电路经过改良后可以采用单电源供电。具体如图 4 所示，其中使用的是运算放大器 [AD8061](#)。输出电压为 2Vp-p 且以共模电压+2.5V 为中心。此共模电压可以使用电阻分压器从+5V 电源产生，或直接从+2.5V 基准电压源产生。如果使用+5V 电源来提供共模电压，则必须进行深度去耦，以免放大电源噪声。

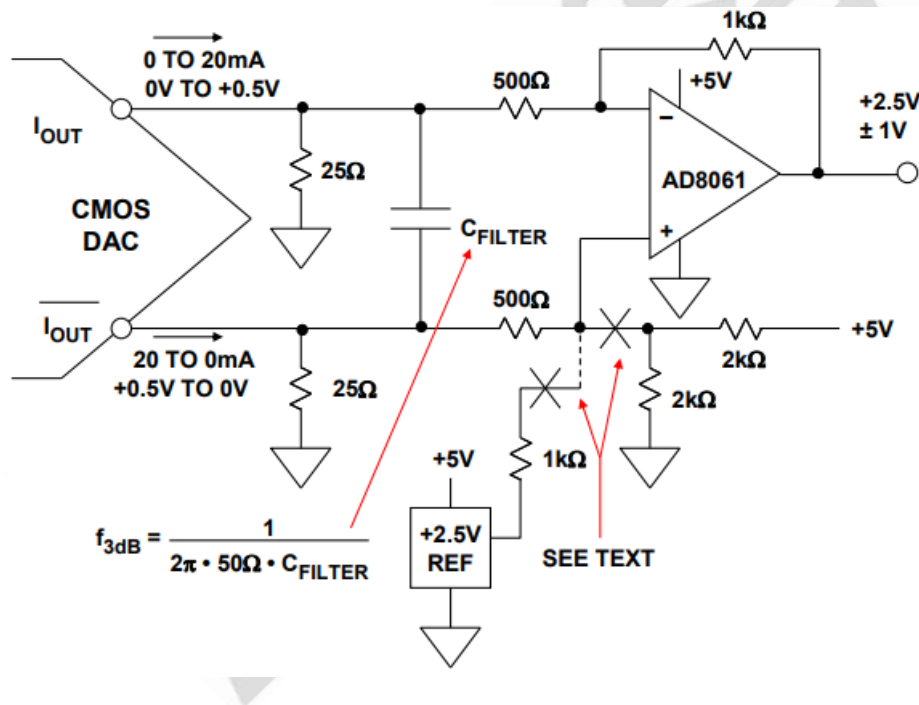


图 4. 采用单电源运算放大器时的差分直流耦合输出

单端电流电压转换

通过使用单个运算放大器作为 I/V 转换器，便可轻松执行单端电流电压转换，如图 5 所示。[AD768](#) 的 10mA 满量程 DAC 电流输出可以在 200ΩRF 电阻上产生 0 至+2V 的输

出电压。

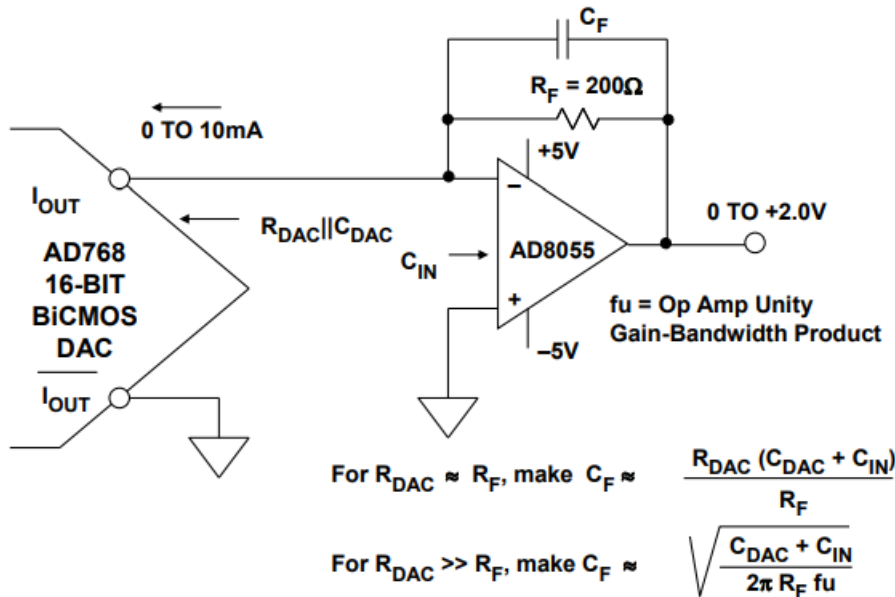


图 5. 适用于 16 位精密 DAC [AD768](#) 的单端 I/V 运算放大器接口

通过驱动 [AD8055](#) 运算放大器的虚拟地，可以最大程度地减少因 DAC 输出阻抗中的非线性而导致的任何失真。实际上，这种类型的 DAC 大多数都使用 I/V 转换器进行过工厂调整。

但是应注意，与差分工作模式相比，以这种方式使用 DAC 的单端输出时，共模抑制性能将下降，且 2 阶失真产物将增加。

CF 反馈电容应当进行优化，以在电路中实现最佳脉冲响应。图中给出的等式仅供参考。

基于 R-2R 的电流输出 DAC 的输出阻抗与码字有关，因此其输出必须驱动运算放大器的虚拟地，以便维持线性。16/14 位 DAC [AD5545](#)/[AD5555](#) 都是此种架构的很好范例。图 6 所示为一种合适的接口电路，其中 [ADR03](#) 用作 2.5V 基准电压源，而 [AD8628](#) 斩波稳定运算放大器用作输出 I/V 转换器。

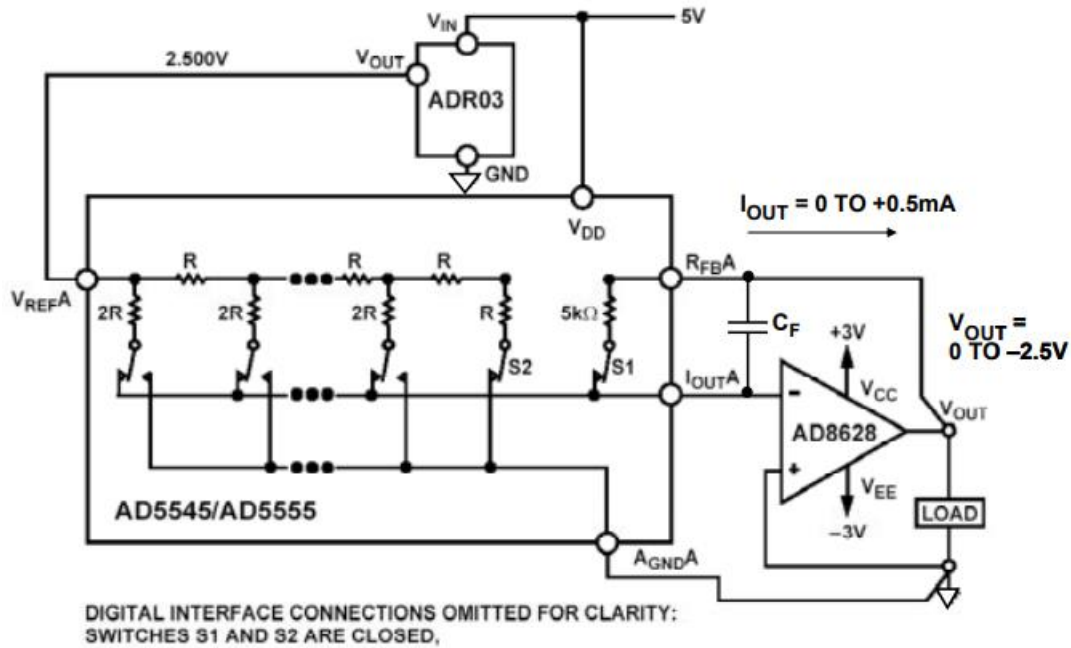


图 6. [AD5545/AD5555](#) 双通道 16/14 位 R-2R 电流输出 DAC 接口

外部 2.5V 基准电压源决定满量程输出电流 0.5mA。注意，5kΩ 反馈电阻包含在 DAC 内，且无需外部电阻，即可增加温度稳定性。因此，运算放大器的满量程输出电压为 -2.5V。CF 反馈电容补偿 DAC 输出阻抗，因此应当选择来优化脉冲响应，起点通常为 20pF。

差分电流转差分电压转换

如果要求从电流输出 DAC 获得缓冲差分电压输出，则可以使用 AD813x 系列差分放大器，如图 7 所示。

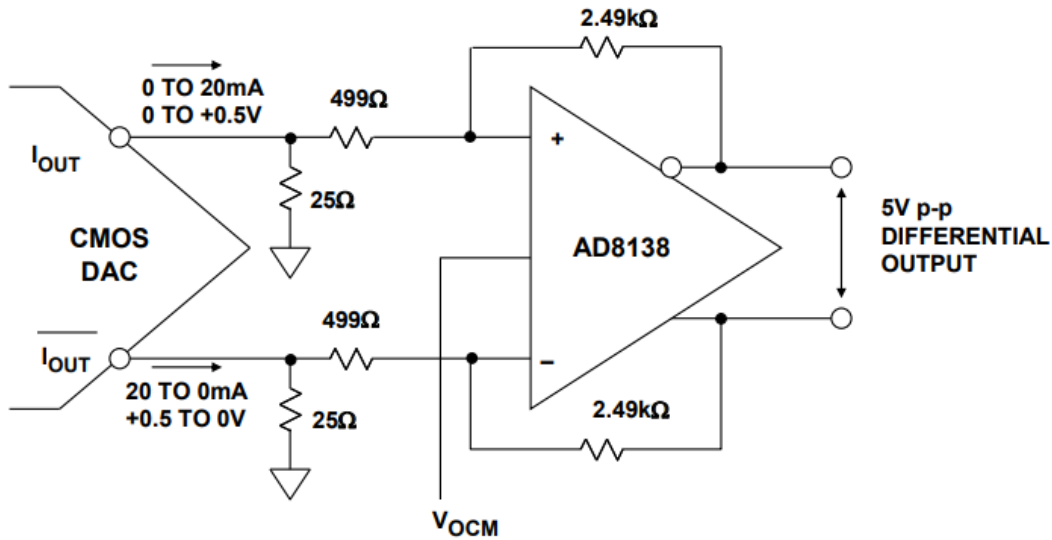


图 7. 使用差分放大器 [AD8138](#) 来对高速 DAC 进行缓冲

DAC 输出电流首先流过 25Ω 电阻而转换成电压。接着，使用 [AD8138](#) 将电压放大 5 倍。这项技术用于代替直接 I/V 转换，从而防止高压摆率 DAC 电流导致放大器过载和引入失真。必须小心地处理使 DAC 输出电压位于其顺从电压额定值范围之内。

[AD8138](#) 的 V_{OCM} 输入可用于设置 [AD8138](#) 规格范围内的最终输出共模电压。通过添加一对 75Ω 串联输出电阻，将允许驱动传输线路。

DAC 数据输入考虑因素

最早的单芯片 DAC 几乎不包含逻辑电路，且数字输入必须维持并行数据，才能维持数字输出。而今，几乎所有 DAC 都会被锁存，且只需向其中写入数据，而不用去维持。有些器件甚至具有非易失性锁存器并可在关断时记住设置。

DAC 输入结构存在无数变化形式，本文将不一一介绍，但几乎所有都称为“双缓冲”。栓缓冲 DAC 具有两组锁存器。数据最初锁存在第一级中，然后传输到第二级，如图 8 所示。这种配置非常有用，具体有以下几种原因。

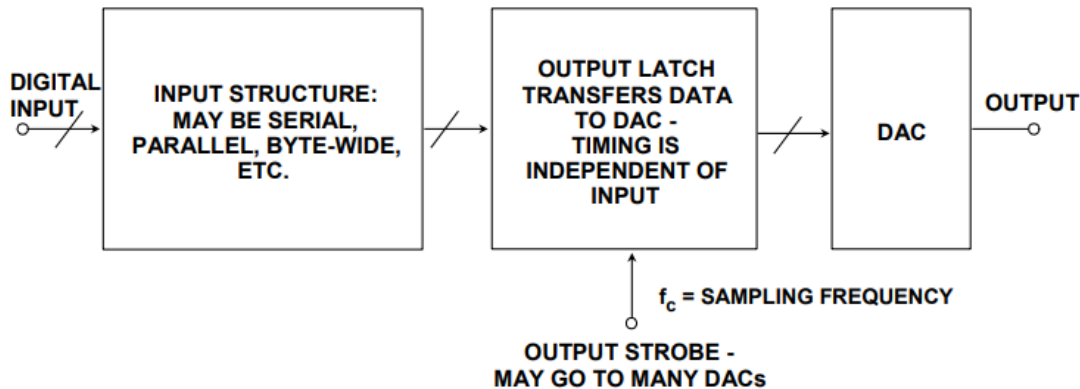


图 8. 双缓冲 DAC 允许复杂输入结构和同步更新

首先，其允许以多种不同方式将数据输入 DAC。如果 DAC 没有锁存器或具有一个锁存器，则必须以并行方式同时加载所有位，否则其加载期间的输出可能会与其实际内容或目标内容完全不同。然而，双缓冲 DAC 可以加载并行数据、串行数据、4 位或 8 位字或任何其它内容，并且在新数据加载完成且 DAC 收到更新指令之前，输出不会受到影响。

双缓冲 DAC 的另一项优势在于，通过以并行方式驱动所有开关并以 DAC 输出数据速率更新单个锁存器，可以最大程度地减少各个开关之间的时间偏斜。这样可以最大程度地减少毛刺脉冲并改善失真性能。

双缓冲结构的第三项优势是可以同步更新多个 DAC。数据依次载入各 DAC 的第一级，当一切就绪之后，即会同时更新所有 DAC 的输出缓冲器。在许多 DAC 应用中，数个 DAC 的输出必须同时变化，而通过双缓冲结构可以非常轻松地实现这点。

早期的单芯片高分辨率 DAC 大多数具有并行或字节宽数据端口，并且往往连接到并行数据总线和地址解码器，然后作为极小的只写存储器由微控制器进行寻址。（有些并行 DAC 并不是只能写入内容，而且还可以进行读取；这点对于一些应用来说非常方便，但并不是非常常见。）DAC 连接到数据总线时，总线的逻辑噪声容易容性耦合到模拟输出，因此而今许多 DAC 采用串行数据结构。这类结构更不容易受到上述噪声的影响（因为涉及到的噪声引脚更少）且使用的引脚更少，因此占用的电路板空间也更少；在与现代微控制器（大多数具有串行数据端口）搭配使用时，这类结构通常更为方便。此类串行

DAC 有些（但并非全部）具有数据输出和数据输入，因此数个 DAC 可以串联连接，而数据则通过单个数据端口逐个输入所有这些器件。这种配置通常称为“菊花链”。

串行 DAC 支持语音频带和语音频率更新速率。例如，以 192kSPS 速率更新的 24 位数字音频要求串行端口传输速率至少达到 $24 \times 192\text{kSPS} = 46.08\text{MSPS}$ ，而 CMOS 逻辑可以轻松处理该速率。不过，涉及到更新速率时，由于所需的串行数据传输速率过高，因此必须采用并行 DAC。

当并行数据速率超过约 100MSPS 时，由于不太可能会产生 CMOS 逻辑电平以上的瞬变干扰，因此通常使用低电平电流模式差分逻辑（PECL、较低级别的 PECL 或 LVDS 等）（见图 9）。这样可帮助最大程度地减少因码相关毛刺而产生的失真。例如，[AD9734/AD9735/AD9736](#) DAC 系列采用 1.2GSPS 并接受 LVDS 输入逻辑电平。片上包含特殊电路，以确保输入数据相对于 DAC 时钟具有正确时序。

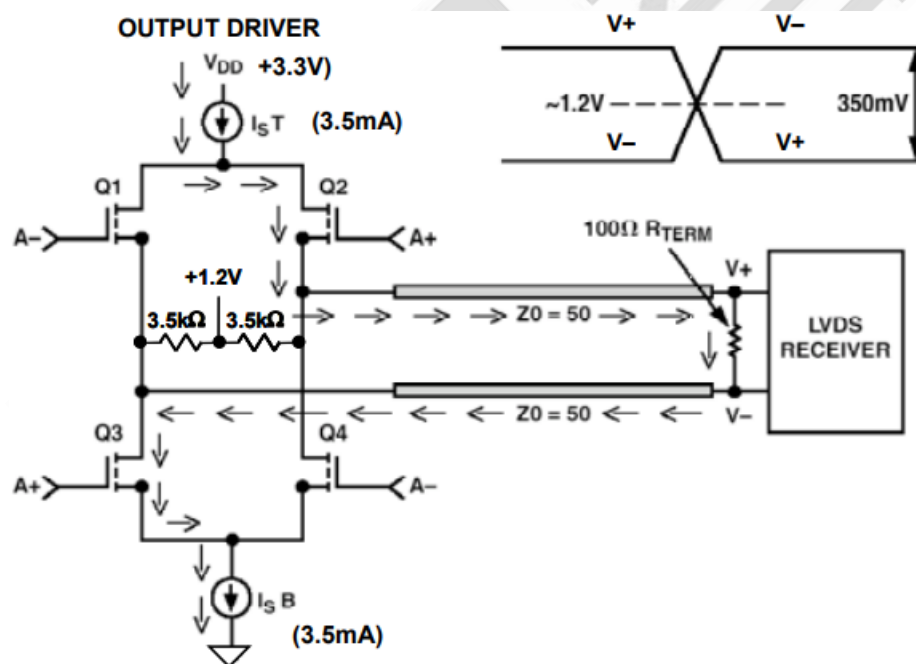


图 9. LVDS 驱动器

DAC 时钟考虑因素

如技术指南 [《孔径时间、孔径抖动、孔径延迟时间——正本清源》](#) 中所述，ADC 宽带孔

径抖动 t_j 、转换器 SNR 和满量程正弦波模拟输入频率 f 之间的关系如下：

$$\text{SNR} = 20 \log \left[\frac{1}{2\pi f t_j} \right] \quad \text{等式 1}$$

这种关系同样适用于重构 DAC。该等式假定使用的是理想 ADC/DAC，其中唯一误差源是时钟抖动。SNR 测量的带宽为奈奎斯特带宽 DC 至 $f_c/2$ ，其中 f_c 是 DAC 更新速率。注意，等式 1 还假定采用的是满量程正弦波输出。因抖动而产生的误差与输出信号的压摆率成比例，即正弦波幅度越小且压摆率相应越小，所产生的 SNR 值就越大（相对于满量程）。

应注意，等式 1 中的 t_j 是采样时钟抖动 t_{jc} 和 ADC 内部孔径抖动 t_{ja} 两者相加；这两个术语并不相关，因此是在方和根(rss)基础上相加的：

$$t_j = \sqrt{t_{jc}^2 + t_{ja}^2} \quad \text{等式 2}$$

另一方面，高速重构 DAC 并未内置采样保持放大器，因此没有内部孔径抖动规格。虽然 DAC 存在内部时钟抖动分量，但由于主要抖动源是外部时钟抖动，通常并不测量或指定该分量。

图 10 绘制出了等式 1 的曲线图并以图形形式显示了各种满量程模拟输出频率抖动如何导致 SNR 下降（注意，此处假定 t_j 包含所有抖动源，包括内部 DAC 抖动）。例如，如果 70MHz_{I/F} 输出频率需要维持 12 位 SNR(74dB)，时钟抖动必须小于 0.45ps（见等式 1）。

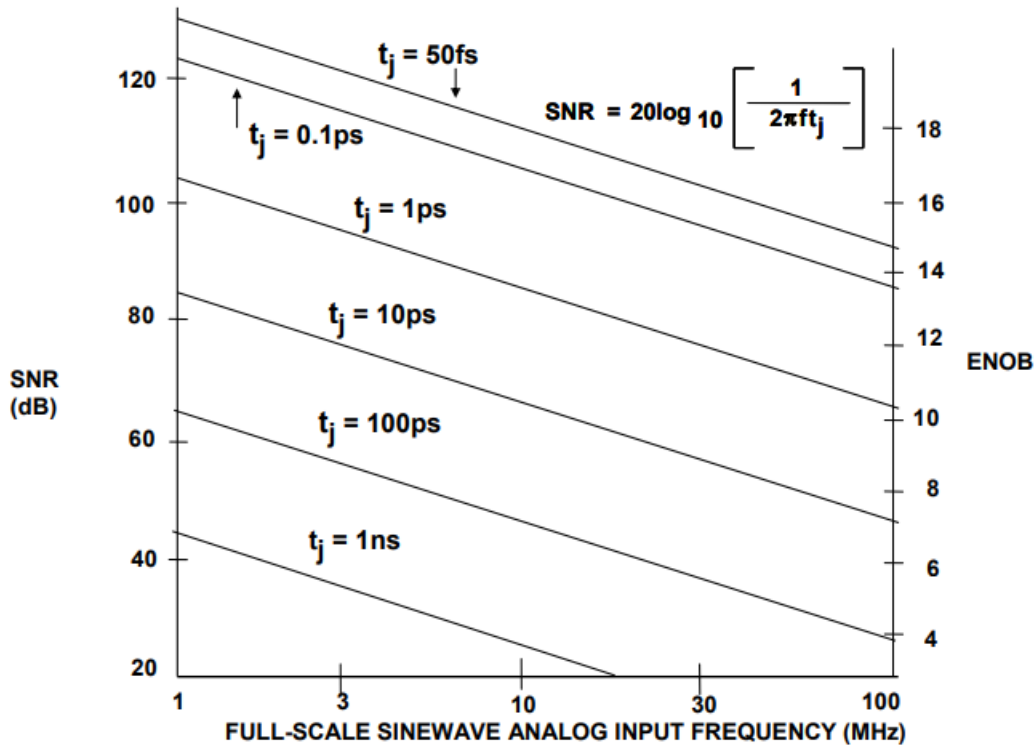


图 10. 抖动引起的理论 SNR 和 ENOB 与满量程正弦波模拟输出频率之间的关系

如技术指南 [《揭开一个公式\(SNR=6.02N+1.76dB\)的神秘面纱，以及为什么我们要予以关注》](#) 中所述，有效位数(ENOB)和信纳比(SINAD)之间存在非常有用的关系，具体如下：

$$\text{ENOB} = \frac{\text{SINAD} - 1.76 \text{ dB}}{6.02 \text{ dB}} \quad \text{等式 3}$$

出于讨论目的，假定 DAC 并无失真，因此 SINAD=SNR；等式 3 变为：

$$\text{ENOB} = \frac{\text{SNR} - 1.76 \text{ dB}}{6.02 \text{ dB}} \quad \text{等式 4}$$

图 10 左侧垂直轴上的 SNR 值已经使用等式 4 转换成右侧垂直轴上的 ENOB 值。

为了显示这些抖动值的重要性，请考虑与一组逻辑门相关的均方根(RMS)抖动典型值，如图 11 所示。74LS00、74HCT00 和 74ACT00 的值都是以高性能 ADC（孔径抖动小于 0.2-psrms）测得的，其中抖动是从因多个相同门串联而导致的 FFTSNR 降低计算得出的。然后，通过除以串联门总数的平方根，便可计算出单个门所造成的抖动。制造商给

出了 MC100EL16 和 NBSG16 的抖动数据。

◆ 74LS00	4.94 ps *
◆ 74HCT00	2.20 ps *
◆ 74ACT00	0.99 ps *
◆ MC100EL16 PECL	0.7 ps **
◆ NBSG16, Reduced Swing ECL (0.4V)	0.2 ps **

- * Calculated values based on degradation in ADC SNR
- ** Manufacturers' specification

图 11. 典型逻辑门的均方根(RMS)抖动

图 12 显示的是与图 10 相同的数据，但其中针对各种分辨率要求绘制出与模拟输出频率成函数关系的最大允许抖动。根据最大输出频率和 ENOB 中所需分辨率来选择采样时钟发生器类型，应以此图片作为大概准则。具有标准 VCO 的 PLL 方法就是产生采样时钟的一种不错方式，其中均方根(RMS)抖动要求大约为 1ps 或以上。不过，亚皮秒抖动要求采用基于 VCXO 的 PLL 或专用低噪声晶体振荡器。技术指南 [《将振荡器相位噪声转换为时间抖动》](#) 中介绍了如何将振荡器相位噪声转换成抖动。

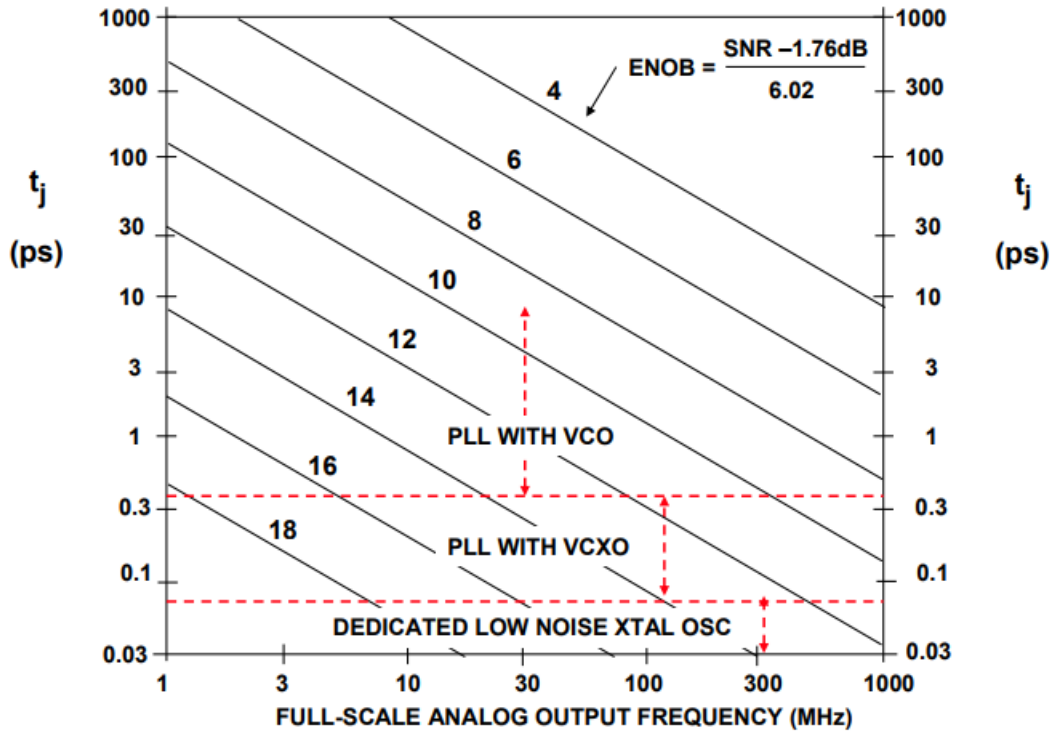


图 12. 振荡器要求与分辨率和模拟输出频率之间的关系

这部分介绍了假设抖动仅由内部 DAC 抖动和外部时钟抖动组成时 SNR 上的抖动效应。

不过，无论 DAC 或采样时钟振荡器的规格如何，不当的布局、接地和去耦技术可造成额外的时钟抖动，进而显著降低动态性能。

若将采样时钟信号与具有噪声的数字信号并行布线，肯定会因杂散耦合而导致性能下降。实际上，若将来自并行输出 ADC 的高速数据耦合到采样时钟，不仅会导致噪声增加，而且还可能造成额外的谐波失真，因为数字输出瞬态电流包含的能量与信号有关。

直接数字频率合成(DDS)基本原理

DDS 架构基本原理

随着数字技术在仪器仪表和通信系统中的广泛使用，可从参考频率源产生多个频率的数字控制方法诞生了，即直接数字频率合成(DDS)。其基本架构如图 1 所示。该简化模型采用一个稳定时钟来驱动存储正弦波（或其它任意波形）一个或多个整数周期的可编程只

读存储器(PROM)。随着地址计数器逐步执行每个存储器位置，每个位置相应的信号数字幅度会驱动 DAC，进而产生模拟输出信号。最终模拟输出信号的频谱纯度主要取决于 DAC。相位噪声主要来自参考时钟。

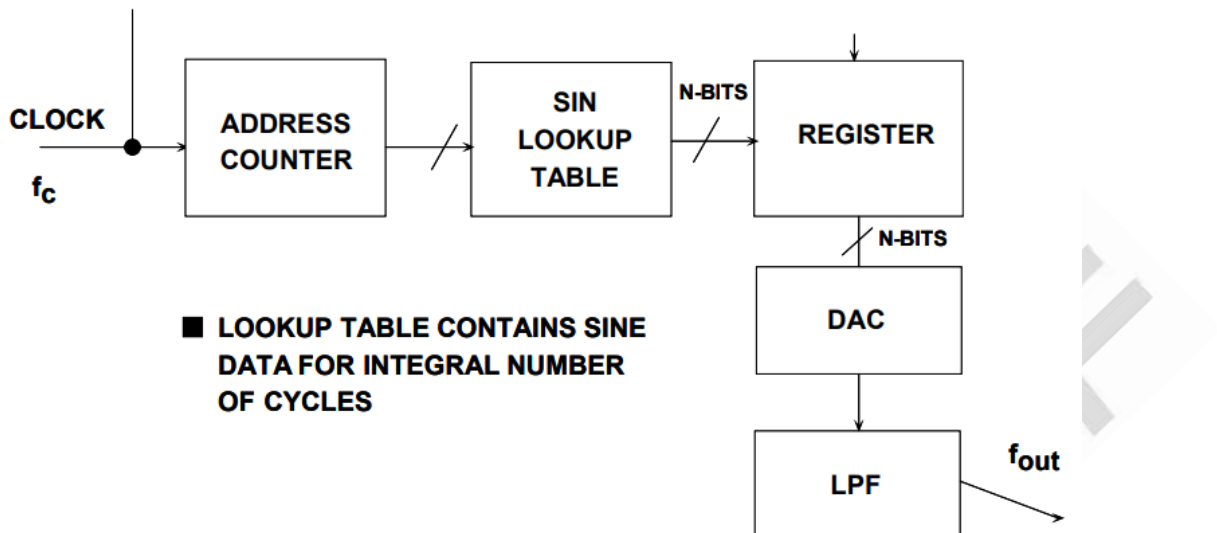


图 1. 直接数字频率合成系统的基本原理

DDS 是一种采样数据系统，因此必须考虑所有与采样相关的问题，包括量化噪声、混叠、滤波等。例如，DAC 输出频率的高阶谐波会折回奈奎斯特带宽，因而不可滤波，而基于 PLL 的合成器的高阶谐波则可以滤波。此外，还有其它几种因素需要考虑，稍后将会讨论。

这种简单 DDS 系统的基本问题在于，最终输出频率只能通过改变参考时钟频率或对 PROM 重新编程来实现，非常不灵活。实际 DDS 系统采用更加灵活有效的方式来实现这一功能，即采用名为数控振荡器(NCO)的数字硬件。图 2 所示为该系统的框图。

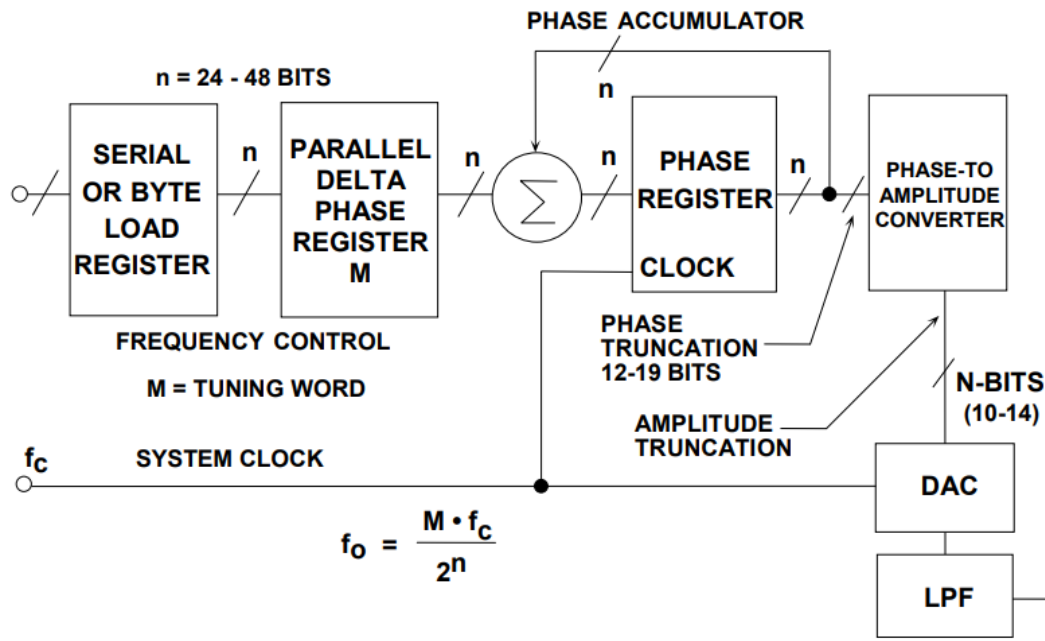


图 2. 灵活的 DDS 系统

系统的核心是相位累加器，其内容会在每个时钟周期更新。相位累加器每次更新时，存储在 Δ 相位寄存器中的数字字 M 就会累加至相位寄存器中的数字。假设 Δ 相位寄存器中的数字为 $00\dots01$ ，相位累加器中的初始内容为 $00\dots00$ 。相位累加器每个时钟周期都会按 $00\dots01$ 更新。如果累加器为 32 位宽，则在相位累加器返回至 $00\dots00$ 前需要 232（超过 40 亿）个时钟周期，周期会不断重复。

相位累加器的截断输出用作正弦（或余弦）查找表的地址。查找表中的每个地址均对应正弦波的从 0° 到 360° 的一个相位点。查找表包括一个完整正弦波周期的相应数字幅度信息。（实际上，只需要 90° 的数据，因为两个 MSB 中包含了正交数据）。因此，查找表可将相位累加器的相位信息映射至数字幅度字，进而驱动 DAC。图 3 用图形化的“相位轮”显示了这一情况。

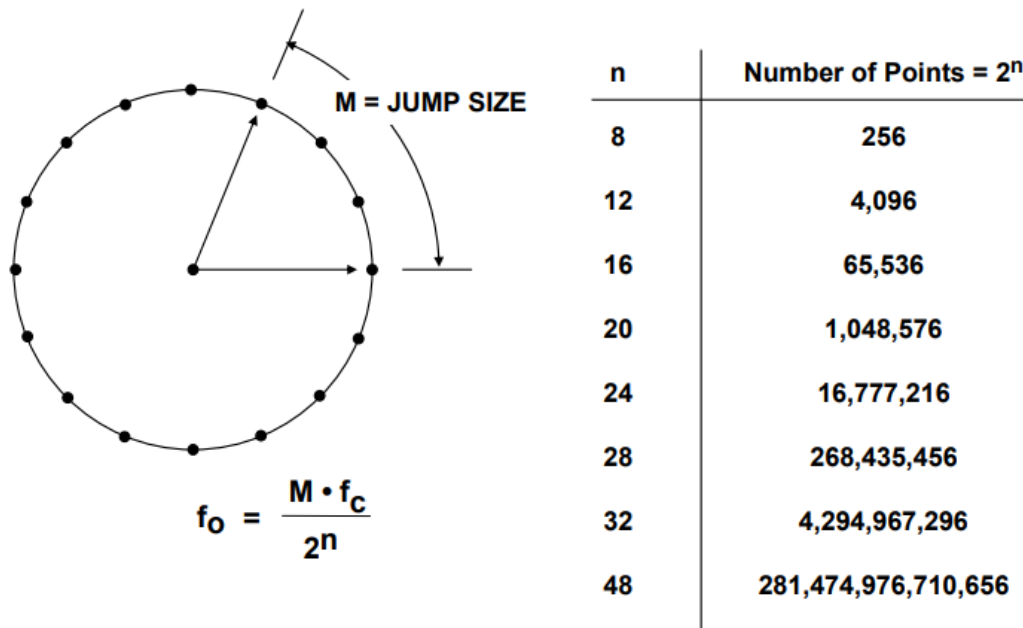


图 3. 数字相位轮

考虑 $n=32$, $M=1$ 的情况。相位累加器会逐步执行 2^{32} 个可能的输出中的每一个，直至溢出并重新开始。相应的输出正弦波频率等于输入时钟频率 2^{32} 分频。若 $M=2$ ，相位累加器寄存器就会以两倍的速度“滚动”计算，输出频率也会增加一倍。以上内容可总结如下：

n 位相位累加器（大多数 DDS 系统中， n 的范围通常为 24 至 32）存在 2^n 个可能的相位点。 Δ 相位寄存器中的数字 M 代表相位累加器每个时钟周期增加的数量。如果时钟频率为 f_c ，则输出正弦波频率计算公式为：

$$f_o = \frac{M \cdot f_c}{2^n} \quad \text{公式 1}$$

该公式称为 DDS “调谐公式”。注意，系统的频率分辨率等于 $f_o/2^n$ 。 $n=32$ 时，分辨率超过 40 亿分之一！在实际 DDS 系统中，溢出相位寄存器的位不会进入查找表，而是会被截断，只留下前 13 至 15 个 MSB。这样可以减小查找表的大小，而且不会影响频率分辨率。相位截断只会给最终输出增加少量可接受的相位噪声。（参见图 4）。

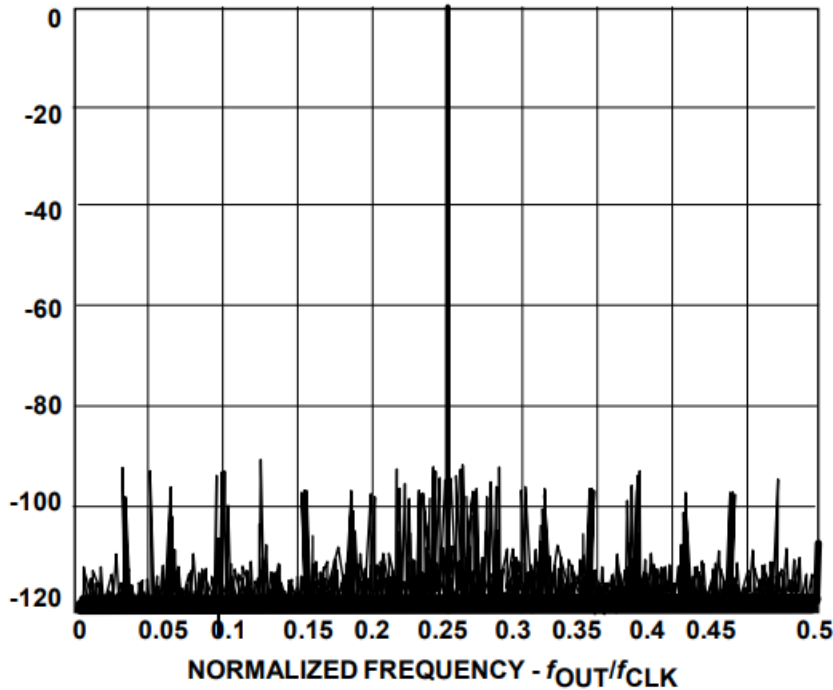


图 4. 计算得出的输出频谱显示 15 位相位截断时 90 dB SFDR

DAC 的分辨率通常比查找表的宽度少 2 至 4 位。即便是完美的 N 位 DAC，也会增加输出的量化噪声。图 4 显示的是 32 位相位累加器 15 位相位截断时计算得出的输出频谱。选择 M 值后，输出频率会从 0.25 倍时钟频率开始稍有偏移。注意，相位截断和有限 DAC 分辨率产生的杂散都至少比满量程输出低 90dB。这一性能远远超出了任何商用 12 位 DAC，足以满足大多数应用的需求。

上述基本 DDS 系统极为灵活，且具有高分辨率。只需改变 M 寄存器的内容，频率就可以立即改变，不会出现相位不连续。但是，实际 DDS 系统首先需要执行串行或字节加载序列，以将新的频率字载入内部缓冲寄存器，然后再载入 M 寄存器。这样就可以尽可能减少封装引脚数。新的频率字载入缓冲寄存器后，并行输出 Δ 相位寄存器就会同步操作，从而同时改变所有位。加载 Δ 相位缓冲寄存器所需的时钟周期数决定了输出频率的最大改变速率。

DDS 系统中的混叠

简单 DDS 系统中可能会产生一种重要的输出频率范围限制。奈奎斯特准则表明，时钟

频率（采样速率）必须至少为输出频率的两倍。实际最高输出频率限制在约 1/3 时钟频率范围内。图 5 所示为 DDS 系统中的 DAC 输出，其中输出频率为 30MHz，时钟频率为 100MHz。如图所示，重构 DAC 后必须跟随一个抗混叠滤波器，以消除较低的图像频率 (100-30=70MHz)。

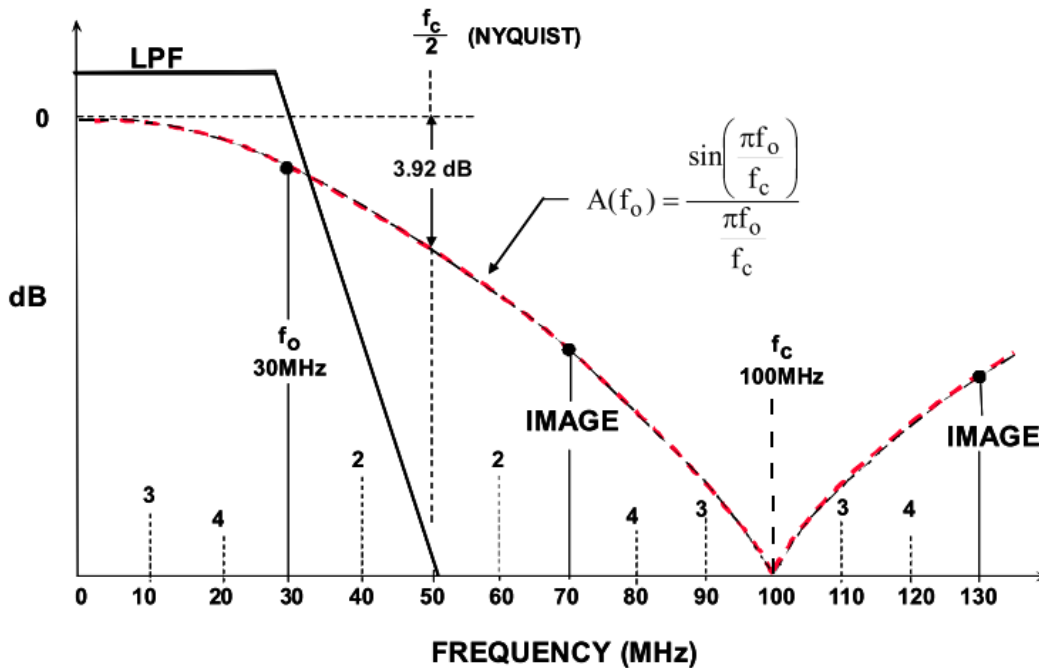


图 5. DDS 系统中的混叠

注意，DAC 输出（滤波前）的幅度响应跟随着一个 $\sin(x)/x$ 响应，在时钟频率及其整数倍时，该值为零。归一化输出幅度 $A(f_o)$ 的精确计算公式如下：

$$A(f_o) = \frac{\sin\left(\frac{\pi f_o}{f_c}\right)}{\frac{\pi f_o}{f_c}} \quad \text{公式 2}$$

其中， f_o 为输出频率， f_c 为时钟频率。

出现该滚降的原因是由于 DAC 输出并非一系列零宽脉冲（和最佳重新采样器中一样），而是一系列矩形脉冲，宽度等于更新速率的倒数。 $\sin(x)/x$ 响应的幅度比奈奎斯特频率低 3.92dB (DAC 更新速率的 1/2)。实际上，抗混叠滤波器的传递函数可用来补偿 $\sin(x)/x$

滚降，使整体频率响应相对平坦，达到最大输出 DAC 频率（一般为 1/3 更新速率）。

另一个重要的考虑因素在于，和基于 PLL 的系统不同，DDS 系统中的基本输出频率高阶谐波会因混叠而折回至基带。这些谐波无法通过抗混叠滤波器去除。例如，如果时钟频率为 100MHz，输出频率为 30MHz，则 30MHz 的第二个谐波会出现在 60MHz（带外），但也会出现在 $100-60=40\text{MHz}$ （混叠成分）。同样，第三个谐波(90MHz)会出现在带内，频率为 $100-90=10\text{MHz}$ ，第四个谐波出现在 $120-100\text{MHz}=20\text{MHz}$ 。高阶谐波也会落在奈奎斯特带宽内（直流至 $f_c/2$ ）。前 4 个谐波的位置如图所示。

用作 ADC 时钟驱动器的 DDS 系统

DDS 系统（如 [AD9850](#)）可以提供产生 ADC 采样时钟的出色方法，尤其适合 ADC 采样频率必须受到软件控制，且锁定至系统时钟的情况（参见图 6）。DAC 输出电流 I_{OUT} 驱动 200Ω 、 42MHz 的低通滤波器，源和负载阻抗端接，等效负载为 100Ω 。滤波器可以消除 42MHz 以上的杂散频率成分。经过滤波的输出可以驱动 [AD9850](#) 内部比较器的一个输入端。DAC 补偿输出电流可以驱动 100Ω 的负载。位于两个输出之间的 $100\text{k}\Omega$ 电阻分压器输出经过去耦，可以产生参考电压以供内部比较器使用。

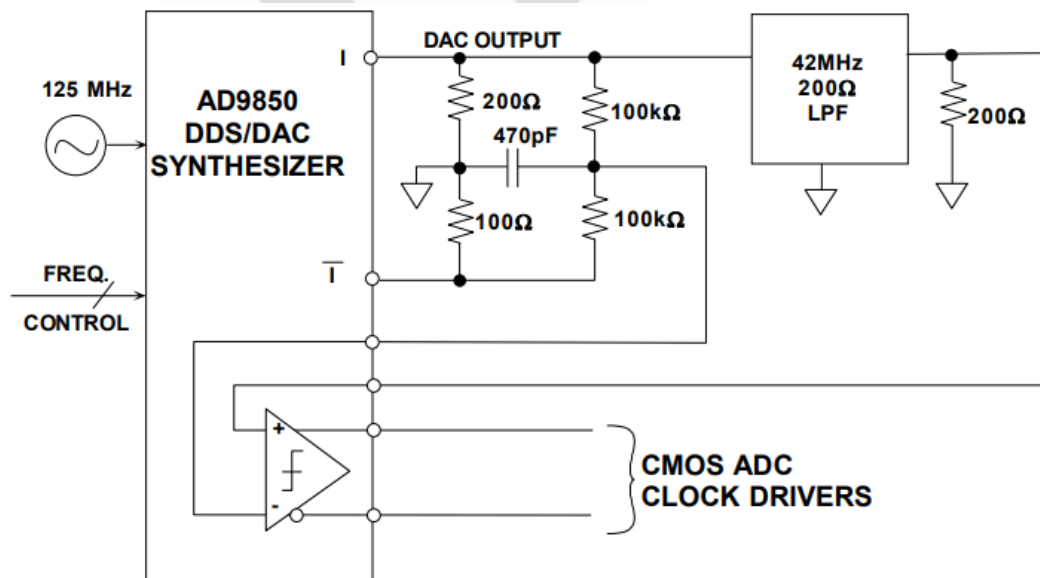


图 6. 将 DDS 系统用作 ADC 时钟驱动器

比较器输出有 2ns 的上升和下降时间，可以产生与 TTL/CMOS 逻辑电平兼容方波。比较器输出边缘的抖动小于 20psrms。输出和补偿输出均可按要求提供。

在图 6 所示的电路中，40MSPS ADC 时钟的总输出均方根抖动为 50psrms，由此产生的信噪比下降在宽动态范围应用中必须加以考虑。

DDS 系统中的幅度调制

DDS 系统中的幅度调制可以通过在查找表和 DAC 输入之间放置数字乘法器来实现，如图 7 所示。调制 DAC 输出幅度的另一种方法是改变 DAC 的参考电压。在 [AD9850](#) 中，内部参考控制放大器的带宽约为 1MHz。这种方法在输出幅度变化相对较小的情况下非常有效，只要输出信号不超过+1V 的规格即可。

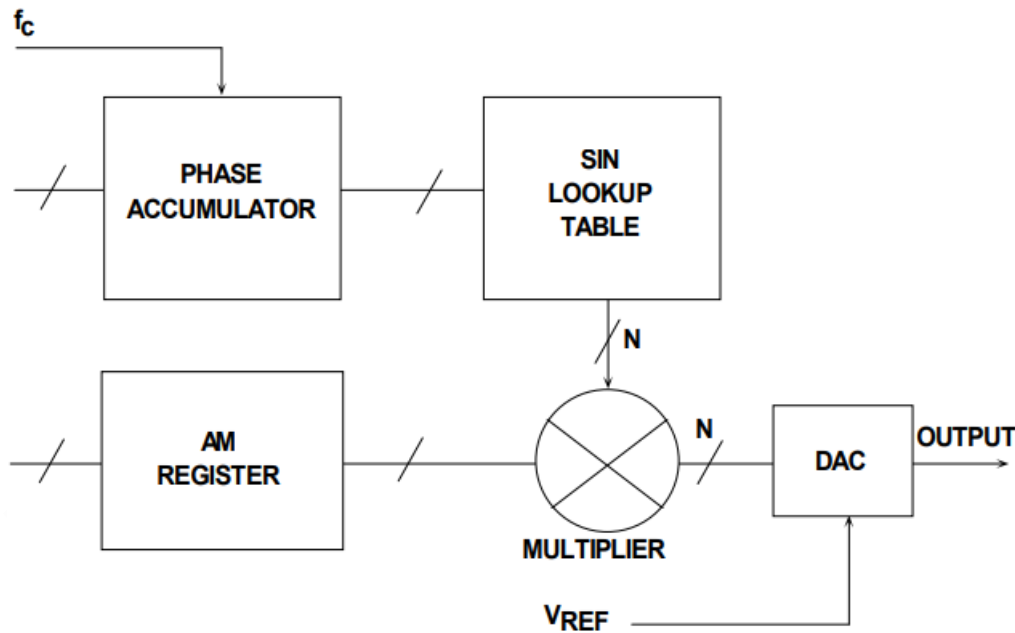


图 7. DDS 系统中的幅度调制

DDS 系统中的无杂散动态范围考虑

在大多数 DDS 应用中，首要考虑因素是 DAC 输出的频谱纯度。遗憾的是，该性能的量、预测和分析十分复杂，涉及大量相互作用的因素。

即便是理想的 N 位 DAC，也会在 DDS 系统中产生谐波。这些谐波的幅度主要取决于输出频率与时钟频率的比值。原因在于，DAC 量化噪声的频谱成分会随着该比值的变化而变化，虽然其理论均方根值仍等于 $q/\sqrt{12}$ （其中 q 是 LSB 的权重）。“量化噪声表现为白噪声，在奈奎斯特带宽内均匀分布”这条假设在 DDS 系统中并不适用（这条假设在 ADC 系统中更为适用，因为 ADC 会给信号增加一定的噪声，从而“扰动”量化误差或使其随机化。但是，依然存在一定的相关性）。例如，如果 DAC 输出频率精确设置为时钟频率的约数，则量化噪声会集中在输出频率的倍数，也就是说，主要取决于信号。如果输出频率稍有失调，量化噪声会变得更加随机，从而改进有效 SFDR。

图 8 说明了上述情况，其中 4096(4k)点 FFT 基于理想 12 位 DAC 中数字化生成的数据计算得出。左侧图表(A)中，所选的时钟频率和输出频率的比值恰好等于 40，获得的 SFDR 约为 77dBc。右侧图表中，比例稍有失调，有效 SFDR 增至 94dBc。在这一理想情况下，只是略微改变了频率比，SFDR 就改变了 17dB。

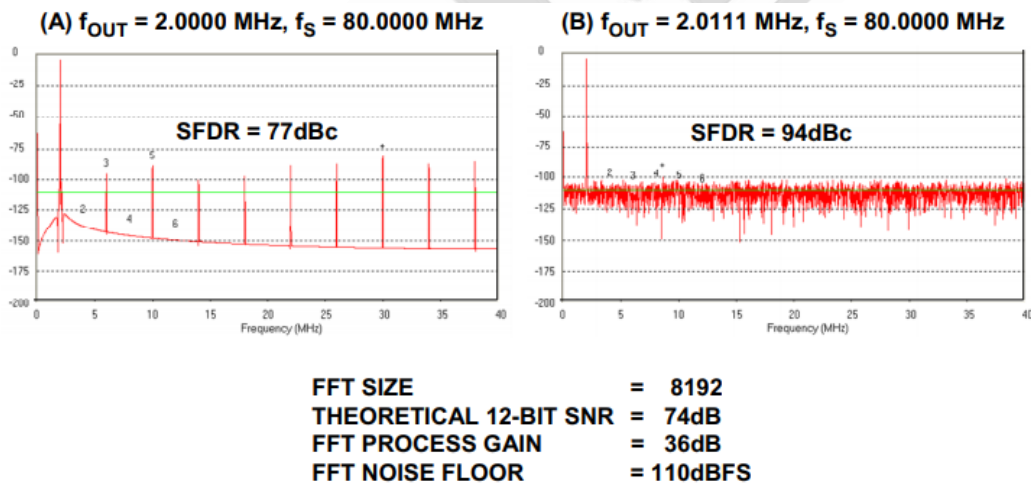


图 8. 采用 4096 点 FFT 时，时钟与输出频率比值对理论 12 位 DAC SFDR 的影响

因此，通过仔细选择时钟与输出频率，就可以获得最佳 SFDR。但是，在有些应用中，这点可能难以实现。在基于 ADC 的系统中，增加少量的随机噪声至输入就可能使量化误差随机化，并且减少这种效应。DDS 系统中也可以实现同样的效果，如图 9 所示。伪随机数字噪声发生器输出先增加至 DDS 正弦幅度字，然后再载入 DAC。数字噪声的幅

度设置为 1/2 LSB 左右。这样就能实现随机化过程，代价是整体输出本底噪声会略微增加。但是，在大多数 DDS 系统中，有足够的灵活性可以选择不同的频率比，因此不需要扰动。

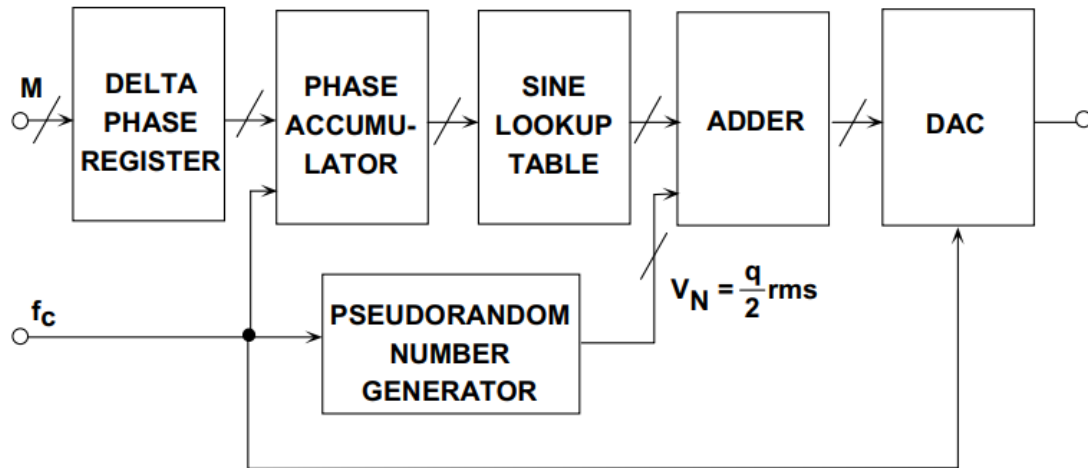


图 9. 向 DDS 系统注入数字扰动以使量化噪声随机化并提高 SFDR

ADI 公司的在线设计工具 [ADIsimDDS](#) 是一种互动工具，可以帮助用户选择及评估 DDS IC。它允许用户选择器件，输入要求的工作条件，以及评估器件的一般性能。该工具利用数学公式估算选定器件的整体性能，并不计算所有可能的误差。因此，这款工具只能用来辅助设计，而不能代替实际的硬件测试和评估。

数字电位计

机械电位计自电子学创立之初即已开始使用，为各种传感器、电源或者需要某类校准的任何器件的输出调节提供了一种便利的方法。时序、频率、对比度、亮度、增益和失调调节，如此等等，不一而足。然而，机械电位计始终面临诸多问题，其中包括物理尺寸、机械磨损、游标污染、电阻漂移，对振动、温度和湿度敏感，需要螺丝刀、布局不灵活等问题。

数字电位计避免了机械电位计存在的固有问题，是那些利用微控制器或另一个数字器件来提供必要控制信号的新设计的理想替代型产品。对于那些不使用任何片上微控制器的

人，也提供手动控制的数字电位计。与机械电位计不同，在主动控制应用中，数字电位计可以实现动态控制。

数字电位计基于在《DAC 基本架构 I: DAC 串和温度计（完全解码）DAC》章节中描述的 CMOS “串 DAC” 架构，其基础示意图如图 1 所示。请注意，在正常串 DAC 配置中，A 端和 B 端连接于基准电压之间，而 W（游标）端则为 DAC 输出。串 DAC 配置中还多出一个 R 电阻，将 A 端与基准电压相连。

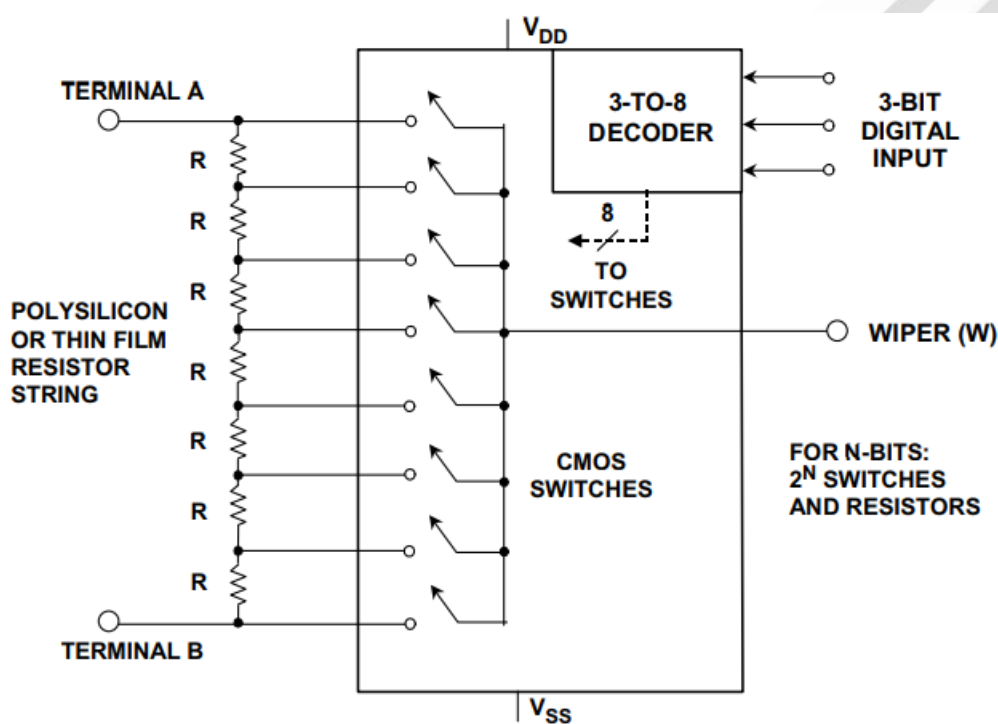


图 1. 基于“串 DAC”架构的 3 位 CMOS 数字电位计

实际上，数字电位计配置利用了这样一个事实：CMOS 开关的共模电压可以处于电源之间的任意位置——数字输入选择的开关只是将游标与电阻串上的相应抽头相连。A 至 B 的相对极性可能是正，也可能是负。

电阻串表示端到端电位计电阻，传统的“DAC 输出”成为数字电位计的游标。电阻可以是多晶硅(TC~500ppm/°C)或薄膜(TC~35ppm/°C)，取决于所需要的精度。

电阻串中的电阻数决定着电位计的分辨率或“步长”，目前，其范围为 32 (5 位) 至 1024

(10 位)。可编程电阻的值为： $R_{WB}(D)=(D/2^N) \cdot R_{AB}+R_W$ ，且 $R_{WA}(D)=[(2^N-D)/2^N] \cdot R_{AB}+R_W$ 。其中， R_{WB} 为 W 端与 B 端之间的电阻， R_{WA} 为 W 端与 A 端之间的电阻，D 为步长值的十进制等效值，N 为位数， R_{AB} 为额定电阻， R_W 为游标电阻。

开关为 CMOS 传输门，可使任何给定步进与输出之间的导通电阻变化降至最低水平。A 端和 B 端上的电压可以是任何值，只要处于电源电压 VDD 和 VSS 之间即可。

采用小型封装的现代数字电位计

图 2 展示了采用小型封装的三种数字电位计。虽然 I²C[®] 串行接口非常流行，但数字电位计同时提供 SPI[®]、升/降计数器和手动增量/减量接口。

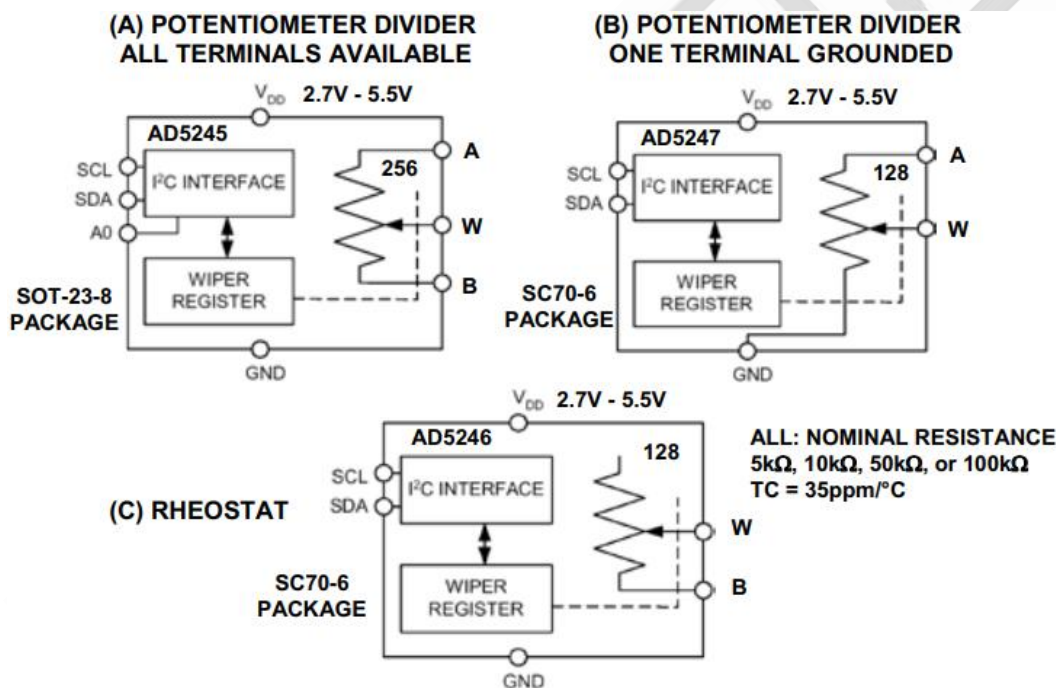


图 2. 采用小型封装的典型数字电位计示例

图 2A 中的 [AD5245](#) 采用 8 引脚 SOT-23 封装，有 256 个位（即 8 位）。A0 引脚支持器件被唯一确定，因而可以在同一总线上放置两个器件。薄膜电阻串(R_{AB})提供 5kΩ、10kΩ、50kΩ 和 100kΩ 四种选项， R_{AB} 温度系数为 35ppm/°C。电位计的三个端全部可用。工作电源电压的范围为 +2.7V 至 +5.5V。电源电流的最大值为 8μA，同时内置一个命令位，用

于关断器件，使其进入零功耗状态。电压噪声约等于 R_{AB} 的热噪声。（注意，一个 $1k\Omega$ 电阻在室温下的热噪声约为 $4nV/\sqrt{Hz}$ ）。

图 2B 所示 [AD5247](#) 与 [AD5245](#) 相似，只是它有 128 个位置（7 位），B 端接地，并且采用的是 SC706 引脚封装。[AD5247](#) 不具备 A0 功能。最后，图 2C 所示 [AD5246](#) 与 [AD5245](#) 类似，只是它是以可变电阻器连接的，其 W 端和 B 端可供外部使用。

在单电位计（如 [AD5245](#)、[AD5246](#) 和 [AD5247](#)）以外，数字电位计同时提供双路、三路、四路和十六路等版本。在单个封装中嵌入多个器件，这种做法可在组合电位计应用中实现 1% 的匹配性能，同时也有利于减少 PC 板空间需求。图 3 总结了现代数字电位计的一些特性。

- ◆ Resolution (wiper steps): 32 (5-Bits) to 1024 (10-Bits)
- ◆ Nominal End-to-End Resistance: $1k\Omega$ to $1M\Omega$
- ◆ End-to-End Resistance Temperature Coefficient: 35ppm/°C (Thin Film Resistor String), 500ppm/°C (Polysilicon Resistor String)
- ◆ Number of Channels: 1, 2, 3, 4, 6
- ◆ Interface Data Control: SPI, I²C, Up/Down Counter Input, Increment/Decrement Input
- ◆ Terminal Voltage Range: +15V, ±15V, +30V, +3V, ±3V, +5V, ±5V
- ◆ Memory Options:
 - Volatile (No Memory)
 - Nonvolatile E²MEM
 - One-Time Programmable (OTP) - One Fuse Array
 - Two-Time Programmable - Two Fuse Arrays

图 3. CMOS 数字电位计的特性

内置非易失性存储器的数字电位器

数字电位计（如 [AD5245](#)、[AD5246](#) 和 [AD5247](#)）主要用在主动控制应用中，因为它们没有非易失性存储器。因此，如果移除电源，则设置会丢失。然而，多数易失性数字电位计有一种上电预置功能，上电时强制使器件进入中间电平码。

显然，市场上需要能够在电源移除和重新加电后保持设置不变的数字电位计。这就要求

使用非易失性片内存储器来存储目标设置。[AD5235](#) 是一款双通道 10 位数字电位计，以片内 E²MEM 存储目标设置。功能框图如图 4 所示。

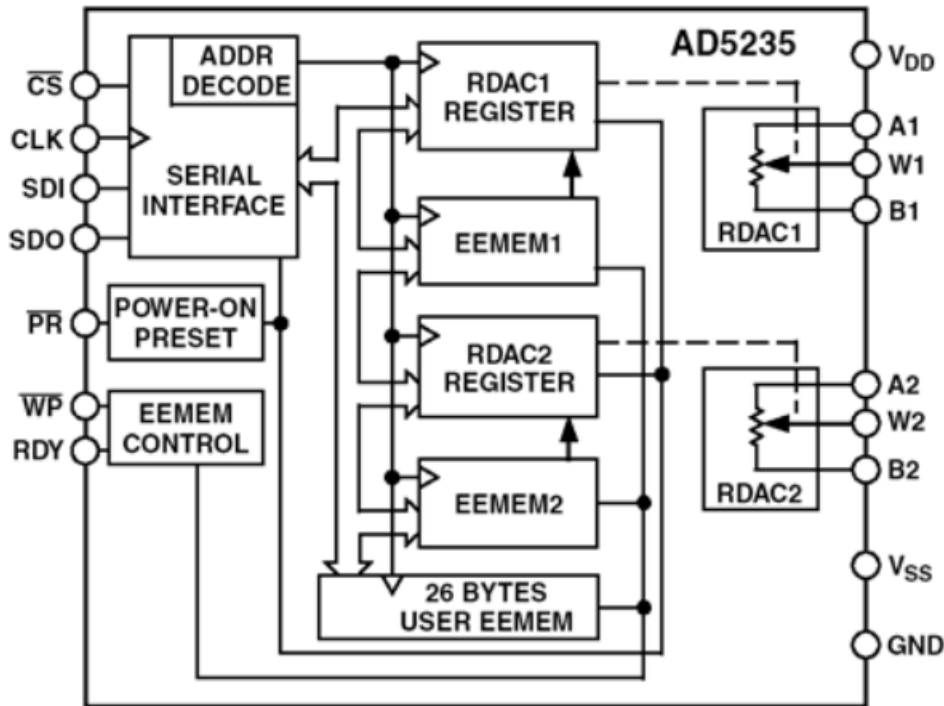


图 4. [AD5235](#) 非易失性存储器、双通道 1024 位数字电位计

这些器件可实现与机械电位计相同的电子调整功能，而且具有增强的分辨率、固态可靠性和出色的低温度系数性能。[AD5235](#) 通过一个标准串行接口可实现多种编程，支持 16 种工作模式和调整模式，包括暂存区编程、存储器存储和检索、递增/递减、对数抽头调整、游标设置回读以及用户自定义的额外 E²MEM。[AD5235](#) 的另一主要特性是，实际电阻容差以 0.1% 的精度存储于 E²MEM。因而可以获知实际的端到端电阻，这对精密应用中的校准和容差匹配具有重要意义。新的 E²MEM 系列数字电位计 ([AD5251/AD5252/AD5253/AD5254](#)) 同样提供这种功能。在暂存区编程模式下，可以直接将具体设置编程至 RDAC 寄存器，使其设置 W-A 端和 W-B 端之间的电阻。RDAC 寄存器也可用以前存储于 E²MEM 寄存器中的一个值来加载。E²MEM 中的值可以更改或保护。当更改 RDAC 寄存器时，可将新设置的值保存至 E²MEM。以便在系统加电时自动传送到 RDAC 寄存器。E²MEM 也可以通过直接编程和外部预置引脚控制来检索。线性步进递增

和递减命令使 RDAC 寄存器中的设置向上或向下变化，每次一步。对于游标设置中的对数变化，则通过一个左/右位移命令按 $\pm 6\text{dB}$ 的步进来调整电平。[AD5235](#) 采用薄型 TSSOP-16 封装。所有器件的保证工作温度范围均为 -40°C 至 $+85^{\circ}\text{C}$ 扩展工业温度范围。

一次性可编程(OTP)数字电位计

[AD5172/AD5173](#) 是双通道 256 位、一次性可编程(OTP)数字电位计，采用熔丝连接技术来实现存储在存储器中保持电阻设置的功能。功能框图如图 5 所示。请注意，[AD5172](#) 配置为一个三端电位计，而 [AD5173](#) 则采用变阻器引脚排列。[AD5172/AD5173](#) 提供 $2.5\text{k}\Omega$ 、 $10\text{k}\Omega$ 、 $50\text{k}\Omega$ 和 $100\text{k}\Omega$ 四种版本。电阻串的温度系数为 $35\text{ppm}/^{\circ}\text{C}$ ，电源电压范围为 2.7V 至 5.5V 。

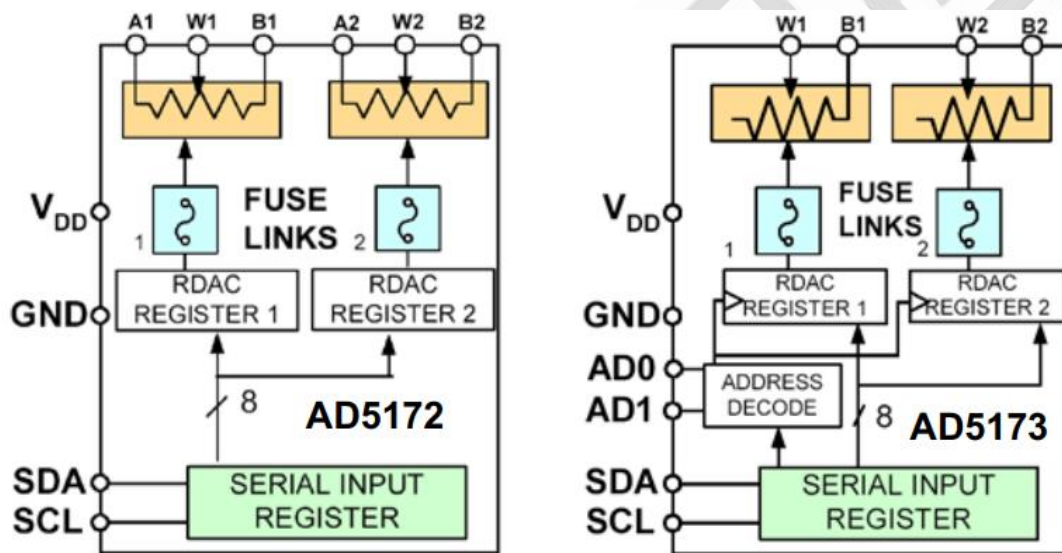


图 5. [AD5172/AD5173](#) 256 位、一次性可编程双通道 I²C 数字电位计

对于那些不需要在存储器中对数字电位计设置进行一次以上编程（即一次性设置）的用户来说，OTP 比 E²MEM 方法更具成本优势。这些器件可实现与多数机械调整器和可变电阻器相同的电子调整功能，而且具有增强的分辨率、固态可靠性和更好的温度系数性能。

[AD5172/AD5173](#) 通过一种 2 线 I²C 兼容数字控制来编程。它们允许在永久性设置电阻值之前进行无限次调整。在 OTP 激活期间，将在确定最终值之后发送一个永久熔断熔丝命

令，结果将游标位置固定于给定的设置（类似于将环氧树脂涂在机械式调整器上）。与同系列的其他 OTP 数字电位计不同，[AD5172/AD5173](#) 拥有一个独特的临时 OTP 覆盖功能，允许在必要时重新进行调整，在接下来的上电条件期间将恢复 OTP 设置。该功能允许用户将 [AD5172/AD5173](#) 以用户自定义预设用于主动控制应用。

为了验证永久性编程是否成功，ADI 对 OTP 验证机制进行了专门设计，结果，可在读取模式下从两个验证位识别熔丝状态。对于在工厂中编程 [AD5172/AD5173](#) 的应用来说，ADI 提供专门的器件编程软件，支持 Windows®95 至 XP®的全部平台，包括 WindowsNT®。该软件应用实际上消除了采用外部 I²C 控制器或主机处理器的必要，从而极大地缩短了用户的开发时间。[AD5172/AD5173](#) 提供评估套件，其中包括可以针对工厂编程应用转换的软件、连接器和线缆。[AD5172/AD5173](#) 采用 MSOP-10 封装。所有器件的保证工作温度范围均为-40°C 至+125°C 汽车应用温度范围。在独有的 OTP 功能以外，[AD5172/AD5173](#) 因支持可编程预设并且具有出色的温度稳定性和小尺寸等优势，因而非常适合其他通用数字电位计应用。

[AD5170](#) 是一款可二次编程的 8 位数字电位计，功能框图如图 6 所示。请注意，提供第二熔丝阵列，以支持“二次”编程能力。与 [AD5172/AD5173](#) 相似，在进行永久性设置之前可以无限次编程。[AD5170](#) 的电气特性类似于 [AD5172/AD5173](#)。

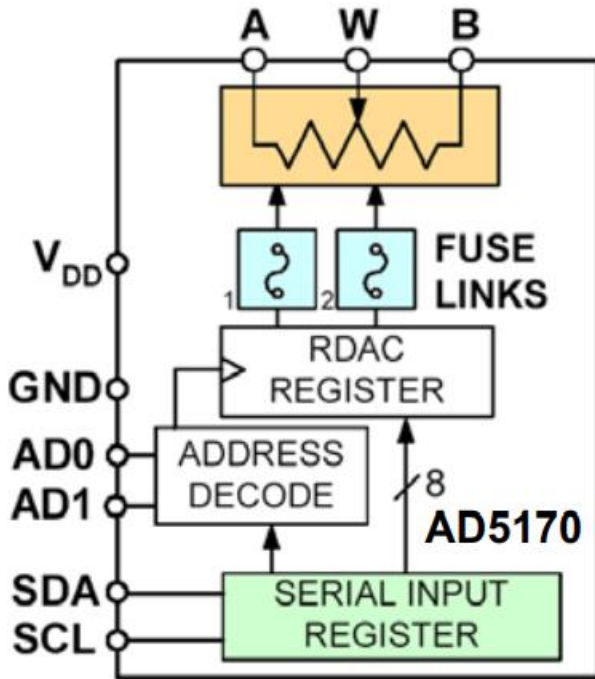


图 6: [AD5170](#) 256 位、可二次编程的 I²C 数字电位计

精度达 1% 的数字电位计

[AD5291/AD5292](#) 均为单通道、256/1024 位数字电位计，端到端电阻容差误差小于 1%，额定温度系数为 35ppm/°C，并具有 20 次可编程存储器。这些器件能够在高电压下工作，同时支持 ±10.5V 至 ±15V 双电源和 +21V 至 +30V 单电源。

[AD5291/AD5292](#) 的游标设置可通过 SPI 数字接口控制。将电阻值编程写入 20 次可编程存储器之前，可进行无限次调整。这些器件不需要任何外部电压源来帮助熔断熔丝，并提供 20 次永久编程的机会。在 20-TP 激活期间，一个永久熔断熔丝指令会将游标位置固定（类似于将环氧树脂涂在机械式调整器上）。

数字电位计的交流考虑因素

数字电位计可用于交流应用中，但需要考虑内部电容产生的带宽限制问题。图 7 所示为一种数字电位计的交流模型，其中，电容分别表示为 C_A 、 C_B 和 C_W 。

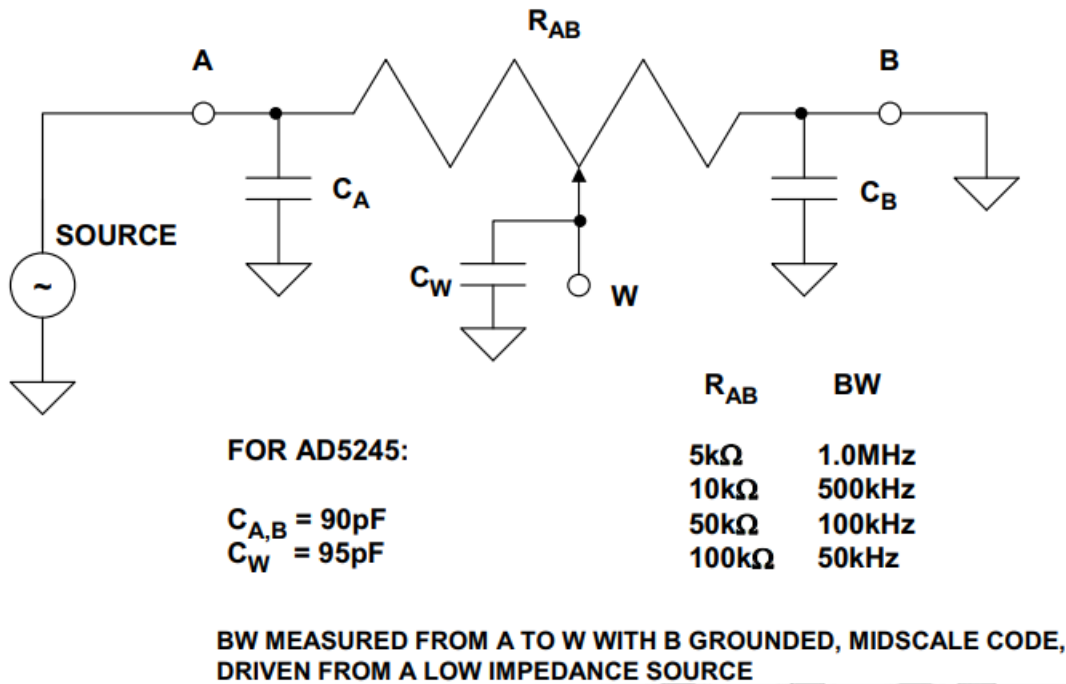


图 7. 数字电位计带宽模型

数字电位计的带宽取决于配置。受可变电阻影响，它同时具有动态性。例如，如果 A 端为输入，B 端接地，W 端为输出，则可通过公式 $BW=1/[2\pi(R_{WB}\parallel R_{WA})\cdot C_W]$ 求出带宽的近似值。最低带宽发生于中间电平时，此时，这种配置下的等效电阻为最大值。图中展示了 [AD5245](#) 的典型值，以及在中间电平下测得的各种电阻对应的带宽。该简化模型可在 SPICE 仿真中用于预测电路性能。比如，在把数字电位计用作运算放大器反馈网络的一部分时。在直接把数字电位计置于信号路径时需要考虑的另一个问题是，其电阻为所施加电压的函数且略有非线性特征。这种效应会导致少量失真。

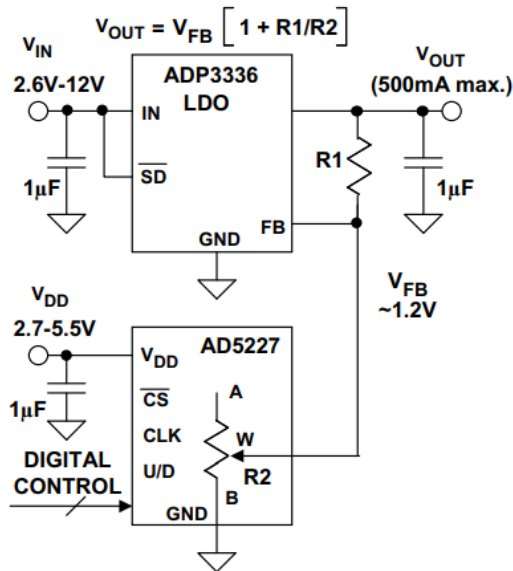
例如，在中间电平下把一个 1Vrms、1kHz 的信号应用于上述配置时，[AD5245](#) 的 THD 为 0.05%。对于数字电位计在交流应用中的具体用例，请参见本章节末尾。

应用范例

像运算放大器一样，数字电位计是许多电路的构件模块。由于数字电位计采用数字控制模式，因而除了基本的调整或校准应用之外，还可用在主动控制应用之中。例如，数字电位计可以用在可编程电源之中，如图 8A 所示。典型的可调低压差稳压器（如 anyCAP

系列) 有一个 FB 引脚, 应用电阻分压器后会产生可变输出电压。如图所示, R1 和 R2 分别为反馈电阻和输入电阻。FB 电路有一个内置的同相放大器, 可使 1.2V 带隙基准电压源增益至目标输出电压。

(A) PROGRAMMABLE POWER SUPPLY



(B) RF POWER AMP DC BIASING

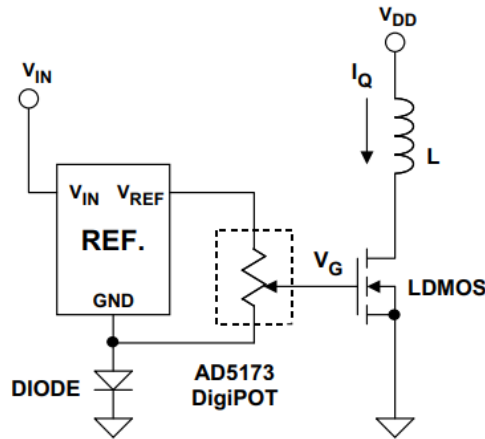


图 8. 数字电位计的两种电路应用

类似地, 电子设备制造商在电源中使用数字电位计, 在可靠性测试中, 调整电源电压使其覆盖所有电源电压条件。这种电压余量微调方式会加快老化过程, 从而缩短上市周期。

由于数字电位计拥有最佳的性价比优势, 因而在许多应用中, 表现出了取代传统 DAC 之势。例如, 在无线基站中, 射频功率放大器在生产过程中, 其最佳阈值电压即存在较大差异。这种差异会影响发射的信号的非线性度和功效。如果稳压效果较差的放大器输出过多功率, 结果也会干扰无线网络中的邻近单元。尽管 DAC 广泛用于偏置射频功率放大器, 但是, 许多用户发现, 数字电位计更适合这类应用, 因为后者采用非易失性存储器, 有利于简化设计。如图 8B 所示, 其中利用一次可编程数字电位计来校准射频功率放大器的直流偏置点, 而校准则用工厂软件进行编程, 无需使用任何外部控制器。请注意, 电路中添加了二极管, 以补偿放大器的温度系数。

总结

与机械电位计和微调筒[®]相比，数字电位计具有许多显著优势，因而在现代系统中得到了广泛应用。凭借出色的可靠性、灵活性和易用性，数字电位计成为了传统电位计的首选替代品。数字电位计也可用作许多主动控制应用中的可编程构建模块。实际上，在现代电子系统中，数字电位计的应用潜力是无穷的——只需想想机械电位计和微调筒的诸多传统应用即可认识到这一点。以下总结少数几种应用：

- **通用应用：** 传感器校准、系统增益和失调调整、可编程增益放大器、可编程滤波器、可编程给定值设定、传统数模转换器、电压电流转换器、线路阻抗匹配。
- **计算机和网络设备：** 可编程电源、电源微调、电池充电器给定值设定、温度控制给定值设定。
- **液晶显示器：** 背光、对比度和亮度调整；液晶面板共模电压调整；可编程伽玛校正；液晶投影仪基准电压发生器。
- **消费电子应用：** PDA 背光调整、电子音量控制。
- **射频通信：** 射频功率放大器偏置、DDS/PLL 幅度调整、VCXO 频率调谐、变容二极管偏置、对数放大器斜率和截距调整、正交解调器增益和相位调整、RFID 读卡器校准。
- **汽车电子：** 发动机控制装置给定值设定、传感器校准、执行器控制、仪器仪表控制、导航/娱乐显示调整。
- **工业和仪器仪表：** 系统校准、浮动基准电压源 DAC、可编程 4 至 20mA 电流发射器。
- **光学通信：** 激光偏置电流调整、激光调制电流调整、光接收器信号调理、光衰减器、波长控制器。

模数转换器

ADC 架构 I: Flash 转换器

早在上世纪 60、70 年代，商用 flash 转换器就开始出现在仪器仪表和模块中，并在 80 年代期间快速进军集成电路。单芯片 8 位 Flash ADC 成为上世纪 80 年代数字视频应用的行业标准。如今，flash 转换器主要用作分级“流水线式”ADC 中的构建模块。流水线架构的功耗和成本更低，并且能够以数百 MHz 的采样速率实现 8 至 10 位分辨率。因此，功耗较高的独立 flash 转换器主要用于采样速率超过 1GHz 的 6 位或 8 位 ADC。这些转换器通常采用砷化镓工艺设计。

鉴于其作为高分辨率流水线 ADC 中构建模式的重要性，还需要了解基础 flash 转换的基本原理。本章节首先概括讨论作为 flash 转换器基本构建模块的比较器。

比较器: 1 位 ADC

转换开关是 1 位 DAC，而比较器是 1 位 ADC（见图 1）。如果输入超过阈值，输出即会具有一个逻辑值，而输入低于阈值时输出又会有另一个值。此外，所有 ADC 架构都会使用至少一个某种类型的比较器。

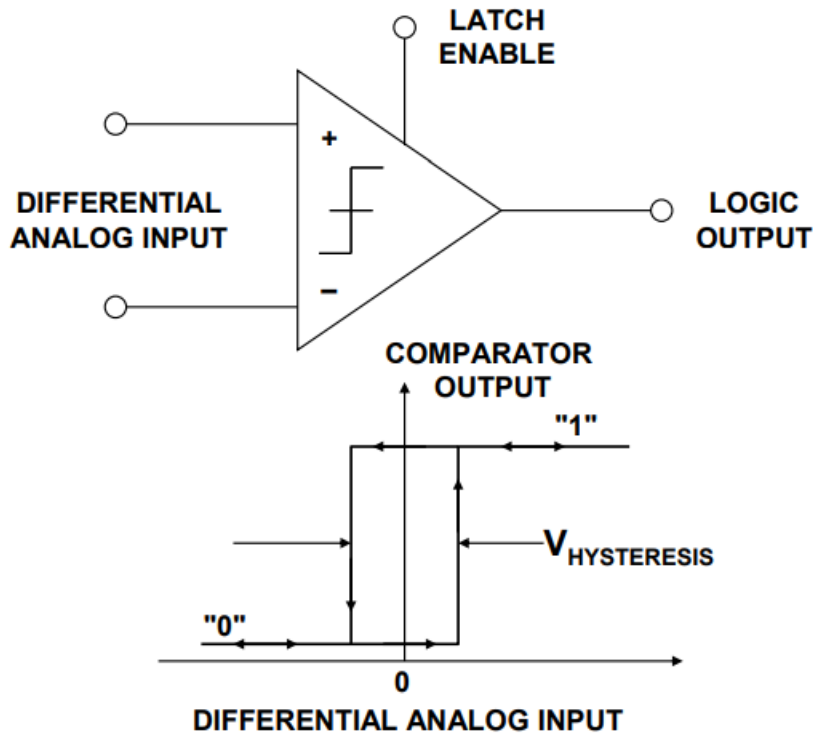


图 1. 比较器：1 位 ADC

最常见的比较器与运算放大器存在一些相似之处，如使用差分晶体管对或 FET 作为其输入级，但与运算放大器不同的是，比较器并不使用外部负反馈，且其输出为指示两个输入中哪个电位较高的逻辑电平。运算放大器并非设计用作比较器；一旦过驱，运算放大器可能发生饱和，并恢复速度缓慢。

在与大差分电压搭配使用时，许多运算放大器的输入级都会出现异常行为，并且其输出很少与标准逻辑电平相兼容。不过，有些情况可能需要以运算放大器作为比较器。

充当 ADC 构建模块的比较器需要较高的分辨率，这就意味着较高的增益。当差分输入接近零时，这可能导致不受控制的振荡。为了避免发生这种情况，通常需要利用少量正反馈向比较器添加“迟滞”。

图 1 所示为迟滞对整个传递函数的影响。许多比较器拥有 1 或 2 毫伏的迟滞，以鼓励跳动动作，并防止局部反馈在过渡带导致不稳定。请注意，比较器的分辨率不能低于迟滞，因此较大的迟滞值一般并无用处。

早期的比较器利用真空管设计而成，一般用于无线电接收器中——当时被称为“鉴频器”而不是比较器。ADC 中用到的多数现代比较器内置一个锁存器，使其可以在数据转换器中用作采样器件。图 2 所示为 Advanced Micro Devices, Inc. 于 1972 年推出的 AM685 ECL (发射极耦合逻辑) 锁存比较器的典型结构。

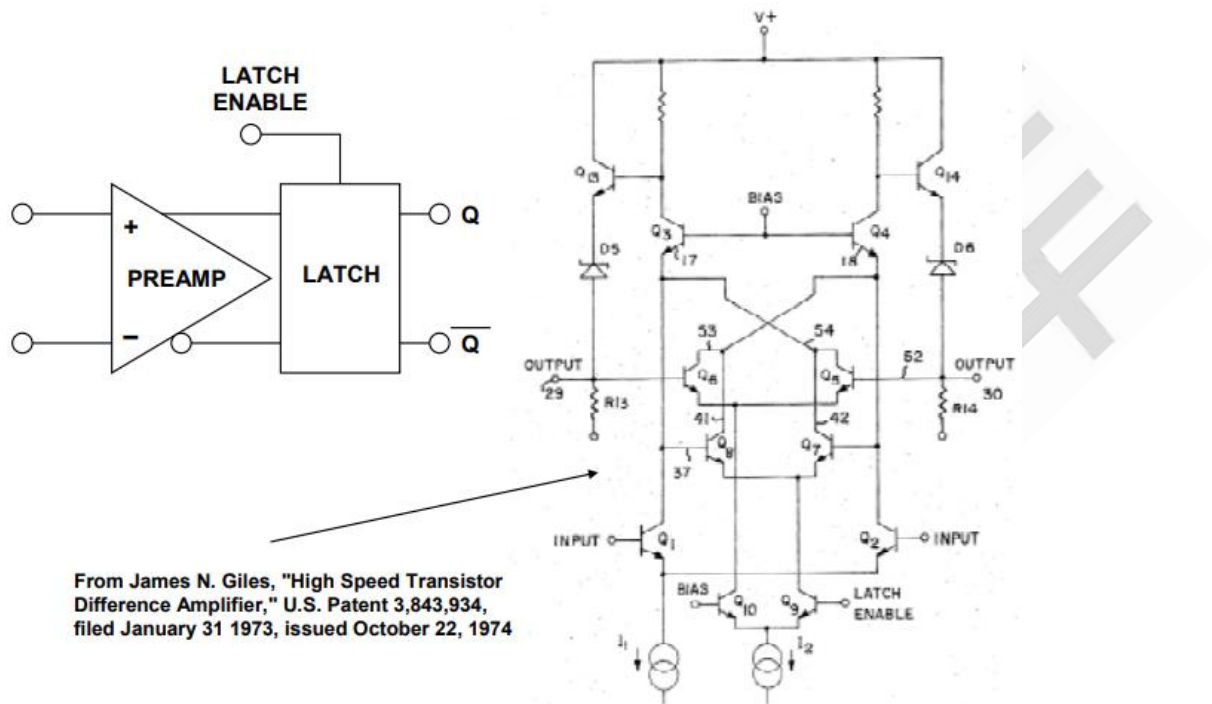


图 2. AM685 ECL 比较器(1972)

输入级前置放大器驱动一个交叉耦合锁存器。当锁存器被激活时，锁存器将输出锁定于其此时所处的逻辑状态。因而，锁存器执行的是保持功能，使短输入信号可检测到并保留供进一步处理。由于锁存器直接运行于输入级上，所以信号不会被进一步延迟——可以捕获并保留仅宽几纳秒的信号。与无锁存比较器相比，锁存比较器对局部反馈导致的不稳定性的敏感度不高。

当比较器内置于 IC ADC 时，其设计必须考虑分辨率、速度、过载恢复、功耗、失调电压、偏置电流和所选架构占用的芯片面积。比较器另有一种虽然微妙却令人讨厌的特性，如果不了解且未有效地处理，则可能在 ADC 中导致较大的误差。这种误差因素是：当比较器把较小的差分输入分辨至有效输出逻辑电平中时，偶尔存在的不稳定性。这种现

象称为“亚稳态”——指比较器在阈值下、在短时间内保持平衡的能力。

亚稳态问题如图 3 所示。其中展示了三种差分输入电压条件：(1)大差分输入电压；(2)小差分输入电压；(3)零差分输入电压。用来描述输出电压 $V_O(t)$ 的近似等式为：

$$V_O(t) = \Delta V_{IN} A e^{-t/\tau}, \quad \text{等式1}$$

其中， ΔV_{IN} =锁存时的差分输入电压； A =前置放大器在锁存时的增益； τ =锁存的再生时间常数； t =自比较器输出锁存后已过的时间。

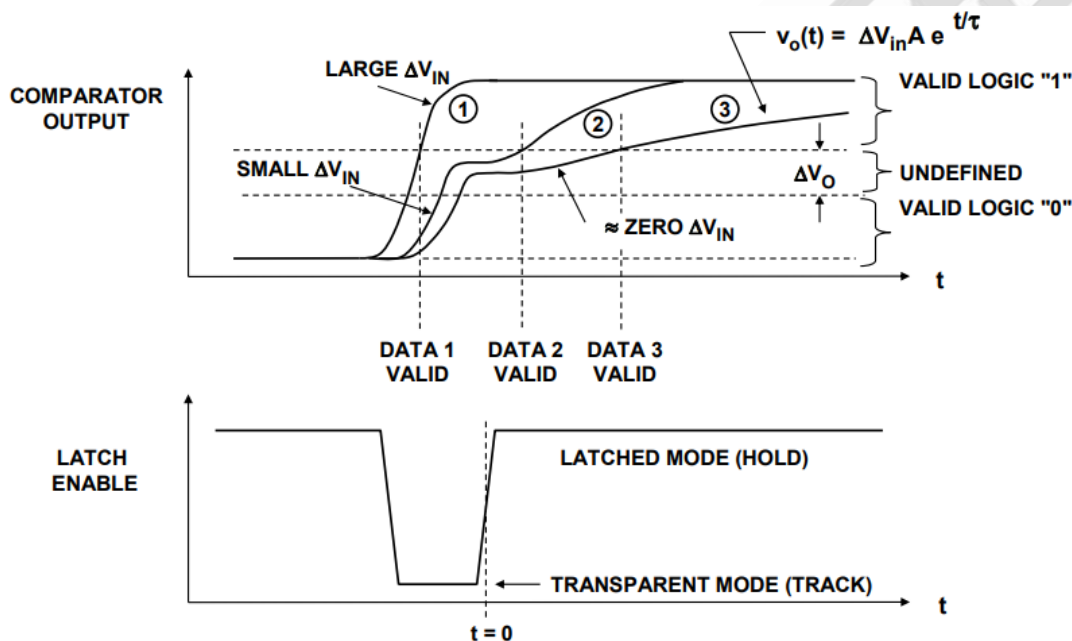


图 3. 比较器亚稳态误差

对于小差分输入电压，输出达到有效逻辑电平需要的时间较长。如果在输出数据位于“有效逻辑 1”与“有效逻辑 0”之间的区域时被读取，则数据可能是错误的。如果差分输入电压刚好为零，且比较器在锁存时完全平衡，则达到有效逻辑电平所需时间可能非常长（理论上为无限长）。然而，在输入端上的迟滞和噪声作用下，这种条件很难出现。根据比较器在实际 ADC 中的利用方式，比较器无效逻辑电平产生的效应有所不同。

从设计角度来看，可以通过以下方式降低比较器亚稳态：提高增益(A)，增加锁存的增益带宽以减小再生时间常数(τ)，并为比较器输出达到有效逻辑电平给出充足的时间

(t)。分析速度、功率和电路复杂性之间复杂的权衡关系以优化比较器设计不在本文讨论范围之内。

从用户角度来看，比较器亚稳态的影响（如果会影响 ADC 的性能的话）体现在“误码率” (BER)——通常大多数 ADC 数据手册中并未标明该值。最终误差通常称为“闪码”、“跳码”或“飞码”。

在大多数应用中，设计得当的 ADC 并不存在误码率问题，但系统设计师必须知道，这种现象是可能存在的。在数字示波器中利用 ADC 来检测小幅单发随机事件时，可能存在于这种问题。如果误码率不够小，ADC 可能给出错误的信息。欲了解闪码的更多讨论，请参见[技术指南《找出那些难以琢磨、稍纵即逝的 ADC 闪码和亚稳状态》](#)。

Flash 转换器

Flash ADC（有时称为“并行”ADC）是速度最快的 ADC，其中使用数个比较器。一个 N 位 flash ADC 包括 2^N 个电阻和 $2^N - 1$ 个比较器，具体排列方式如图 4 所示。每个比较器均从电阻串获得基准电压，且每个基准电压要比链中的下一个基准电压大 1 LSB。对于给定输入电压，低于某个点的所有比较器都将出现输入电压高于基准电压且逻辑输出为“1”，而高于该点的所有比较器则都将出现基准电压高于输入电压且逻辑输出为“0”。因此， $2^N - 1$ 个比较器输出在行为上类似于水银温度计，而该点的输出码有时称为“温度计”码。由于 $2^N - 1$ 个数据输出并不便于实际应用，因此需要经过解码器处理来产生 N 位二进制输出。

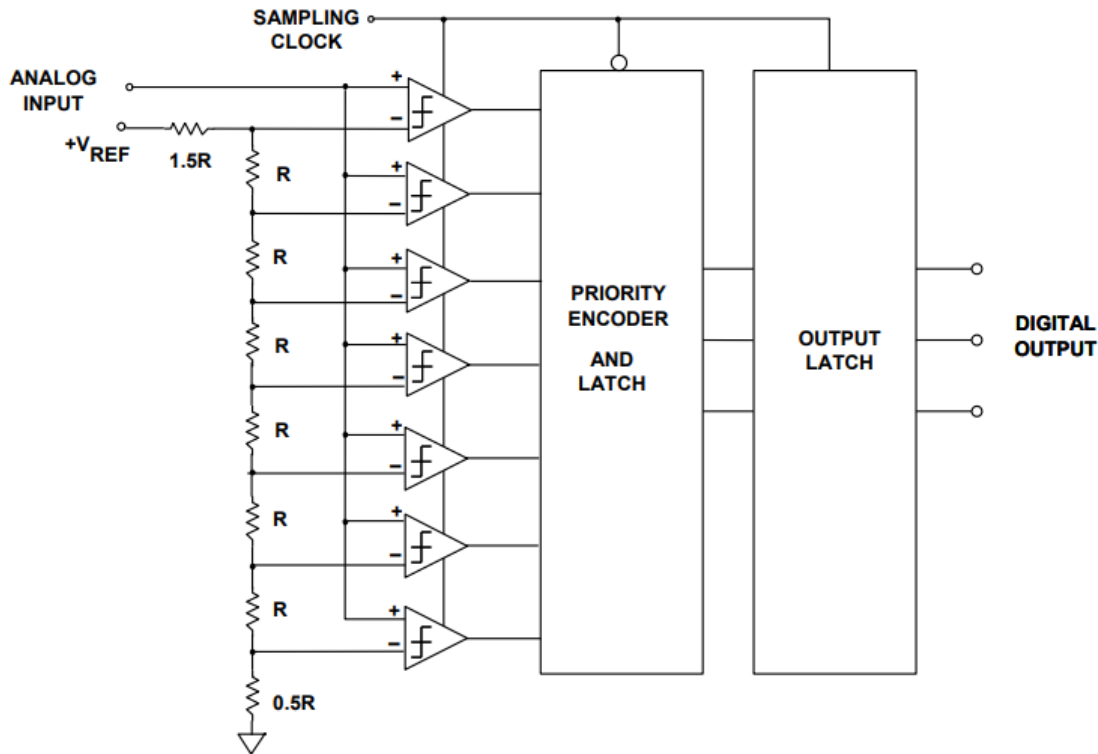


图 4.3 位全并行(Flash)转换器

由于输入信号同时施加于所有比较器，因此输出与输入之间仅存在一个比较器延迟，而编码器 N 位输出仅存在数个门延迟，故而该过程非常迅速。此外，各个比较器固有“采样保持”功能，因此理论上，只要比较器完全动态匹配，flash 转换器就无需单独的 SHA。不过实际操作中，由于比较器之间不可避免地存在细微时序不匹配，因此大多数 flash 转换器通常都需要添加合适的外部采样保持电路来改善动态性能。

由于 flash 转换器采用了大量电阻和比较器且限制在低分辨率，因此如果达到较高速度，每个比较器就必须以相对较高的功耗水平运行。因此，flash ADC 的问题包括分辨率有限、因使用大量高速比较器（尤其是采样速率超过 50MSPS 时）而导致功耗较高和相对较大（因此成本较高）的芯片尺寸。此外，基准电阻链的电阻必须保持在较低水平，以便向快速比较器提供足够的偏置电流，因此基准电压源必须提供较大的源电流（通常大于 10mA）。

典型的 Flash 转换器时序

图 5 所示为早期商用 flash 转换器（8 位、35MSPS [AD9048](#)）的简化时序图。采样时钟处于低电平状态时，输入比较器处于“跟踪”或“透明”模式。采样时钟的上升沿将比较器置于“保持”或“锁存”模式。“保持”时间期间，解码逻辑根据比较器输出做出决策。采样时钟的下降沿将解码数据锁存至中间锁存器。采样时钟的下一个上升沿将解码数据传输至输出锁存器。注意，这就在输出数据上产生相对于对应采样时钟沿的一个“流水线延迟”周期。中间锁存器允许使用更为复杂的两级解码方法。例如，比较器输出数据首先解码成格雷码并在采样时钟的下降沿锁存，然后在“跟踪”时间间隔内转换成二进制。两级解码通常用于最大程度地减少因错误地解读比较器输出而导致的“闪码”。（有关闪码和亚稳态误差的详细讨论，请参见技术指南 [《找出那些难以琢磨、稍纵即逝的 ADC 闪码和亚稳状态》](#)）有些 flash 转换器使用的是更为复杂的解码方法，因此流水线延迟超过一个时钟周期。

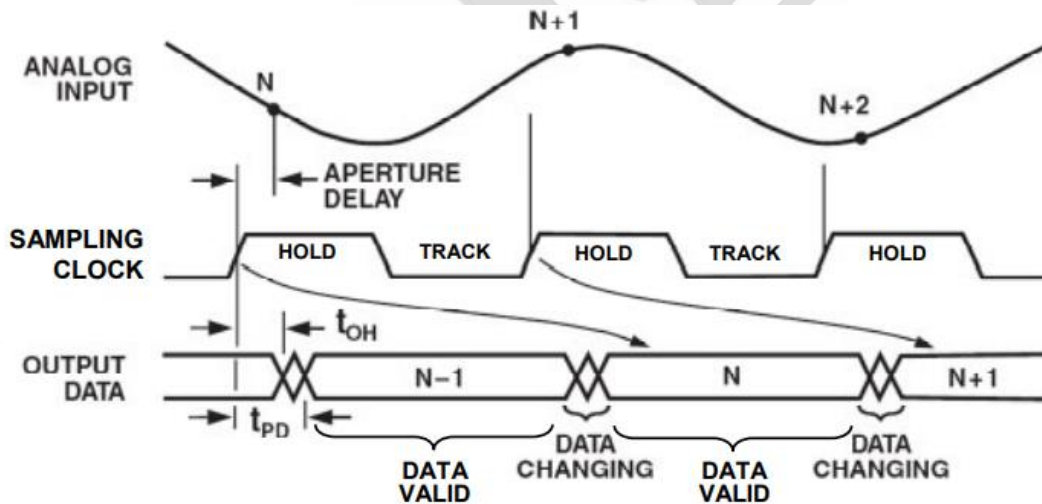


图 5. 典型 Flash 转换器（8 位、35 MSPS [AD9048](#)）的数据时序

如果使用的是简单的优先级解码方法，则无需输出锁存和中间锁存，即可直接从解码逻辑的输出端获取二进制数据。不过，如果是这种情况，则“跟踪”时间间隔内输出数据会不断变化，因此“DATA VALID”时间间隔限制为采样时钟周期的一半。因此，习惯做

法是至少使用一个锁存器，以便输出数据可以在除少量“DATA CHANGING”时间之外的整个采样周期内保持不变，如图 5 所示。

Flash 转换器历史展望

最早有记录的 flash 转换器是 Paul M.Rainey 研发的电子机械 PCM 传真系统，该系统曾出现在 1921 年一项未引起重视的专利中。在 ADC 中，与光线强度成比例的电流驱动电流计，而后者又移动另一光束来激活 32 个光电管之一，具体取决于电流计偏转程度。每个光电管输出激活部分继电器网络，从而产生 5 位二进制代码，如图 6 所示。

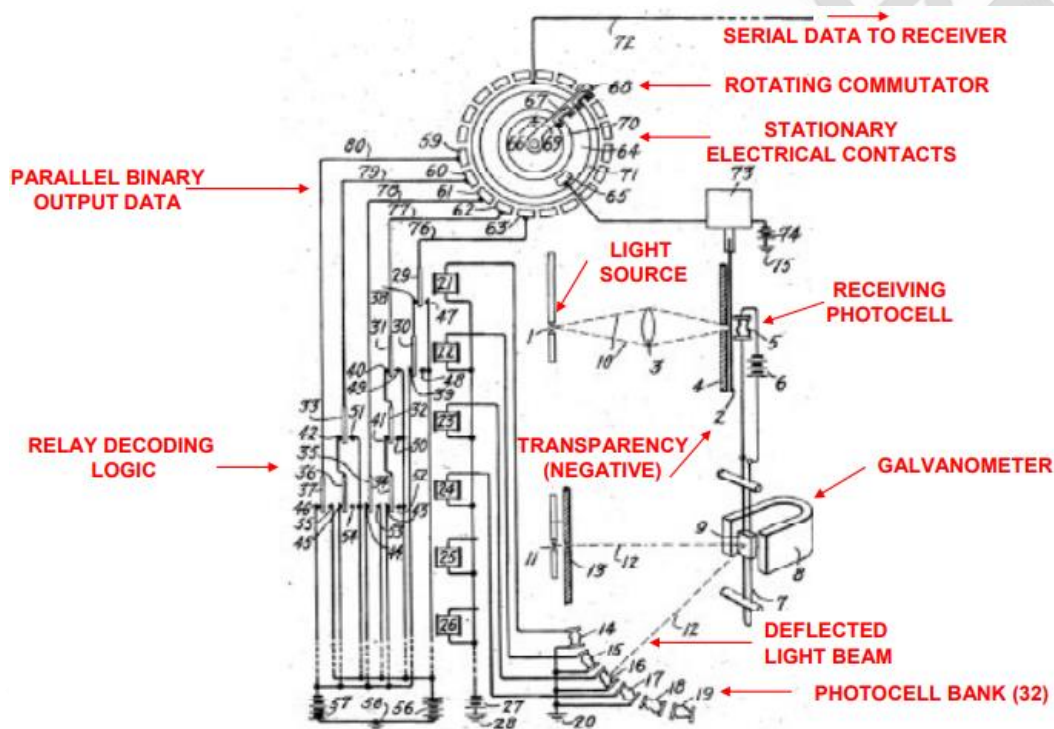


图 6. Paul Rainey 提出的 5 位 Flash ADC，改编自 Paul M.Rainey “传真电报系统”，美国专利 1,608,527，1921 年 7 月 20 日申请，1926 年 11 月 30 日颁发

上世纪 40 年代期间，高速 ADC 技术取得了一项重大进展，那就是贝尔实验室研发出了电子束编码管，如图 7 所示。该电子管能够以 96kSPS 速率和 7 位分辨率进行采样。图 6 所示为 4 位器件的基本电子束编码器概念。该电子管采用“扇形”电子束来构建“flash”转换器，从而传送并行输出字。

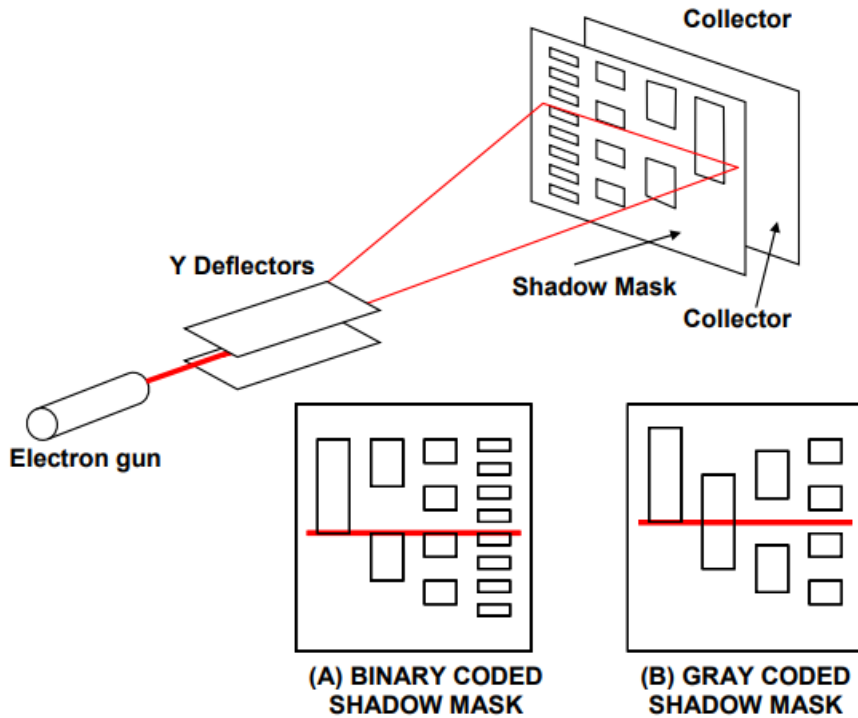


图 7. 贝尔实验室的电子束编码器(1948)

早期的电子管编码器采用二进制编码荫罩（图 7A），并且如果电子束跨越两个相邻码字并将其同时点亮，则可能会出现较大误差。之后通过采用格雷码荫罩消除了与二进制荫罩相关的误差，如图 7B 所示。此编码原先称为“反演二进制”码，最初由 Elisha Gray 于 1878 年发明，之后由 Frank Gray 于 1949 年重新发明。采用格雷码时，相邻电平对应的格雷码字仅有一位之差。因此，如果针对特定电平的位判断有误差，则转换为二进制代码后的对应误差仅为 1 LSB。对于中间电平，仅 MSB 改变。值得注意的是，基于比较器的现代 Flash 型转换器也可能由于比较器亚稳态而发生这一现象。在少量过驱情况下，如果采用标准二进制解码技术，则比较器的输出可能会在其锁存输出中产生错误的判断，从而出现同样的现象。许多情况下，格雷码或伪格雷码用来解码比较器库输出，然后最终转换成二进制代码输出。

尽管存在很多与电子束对齐相关的机械和电子问题，但是电子管编码技术在上世纪 60 年代中期达到了巅峰，研制出了采样速率可达 12MSPS 的实验性 9 位编码器。不过，之后不久随着全固态 ADC 技术的迅速发展，电子管技术逐渐退出历史舞台。

人们很快就认识到，与其它架构相比，flash 转换器的采样速率是最快的，但是这种方法的问题在于，由于采用分立晶体管电路和真空管，比较器电路本身相当庞大而且非常繁琐。

对于上述两种技术而言，构建单锁存比较器单元都是一件相当不容易的事情，而哪怕是要扩展至 4 位分辨率（需要 15 个比较器）都显得有些不切实际。然而，Robert Staffin 和 Robert D.Lohman 在上世纪 50 年代中期和 60 年代初期完成了该项工作，在他们获得专利中描述了一种同时使用电子管和晶体管技术的分级架构。该项专利讨论了全并行方法所存在的问题并指出了通过将转换过程拆分成粗略转换加精细转换所能实现的节省。

上世纪 60 年代的数种早期实验性 flash 转换器均采用隧道二极管作为比较器来代替仅基于电子管或晶体管的锁存比较器。

1964 年，Fairchild 推出了首款 IC 比较器 μ A711/712，该器件由 Bob Widlar 负责设计。同年，Fairchild 还推出了首款 IC 运算放大器 μ A709，Widlar 的另一项设计产品。紧随其后推出的其它 IC 比较器包括 Signetics521、National LM361、Motorola MC1650(1968)和 AM685/687(1972/1975)。随着这些构建模块比较器的推出和 TTL 和 ECL 逻辑 IC 的面市，Computer Labs,Inc.推出了 6 位机架安装分立 flash 转换器，包括 VHS-630(6 位、30MSPS, 1970 年) 和 VHS-675 (6 位、75MSPS, 1975 年)。图 8 所示的 VHS-675 采用了 63 个 AM685 ECL 比较器，比较器前面接高速采样保持 ECL 解码逻辑，并内置线性电源（交流线路供电），总能耗为 130W（1975 年售价约为 \$10,000）。此类仪器应用于早期的高速数据采集应用，包括军用雷达接收机。

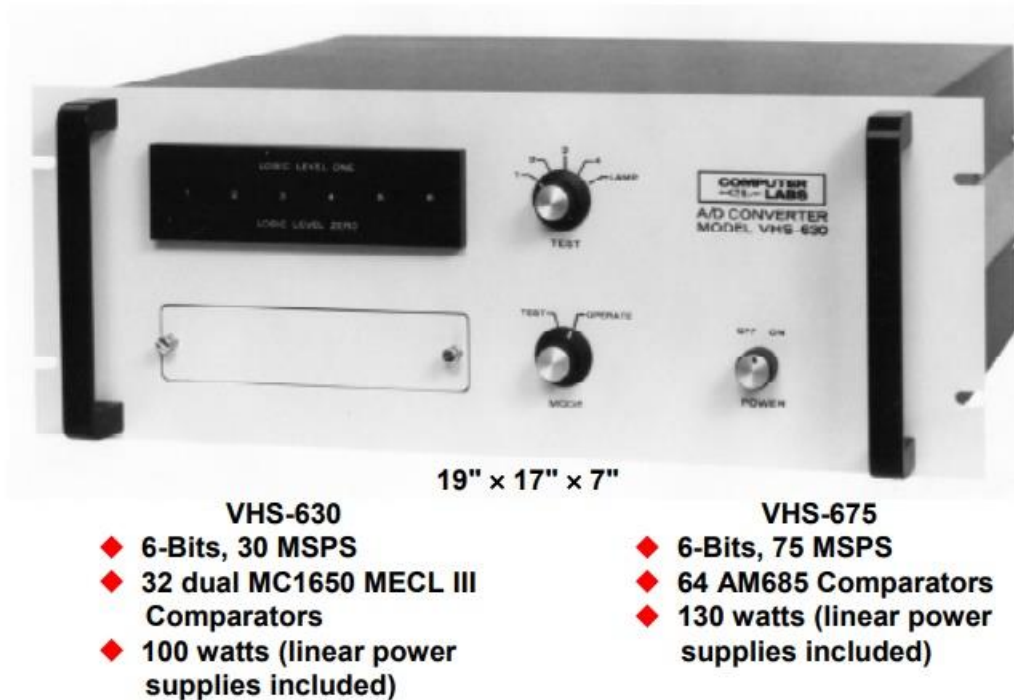


图 8. Computer Labs, Inc.推出的 VHS 系列 ADC: VHS-630 (1970)、VHS-675 (1975)

AM685 比较器还用作 4 位 100MSPS 电路板级 flash ADC MOD-4100 (1975 年推出) 的构建模块, 如图 9 所示。

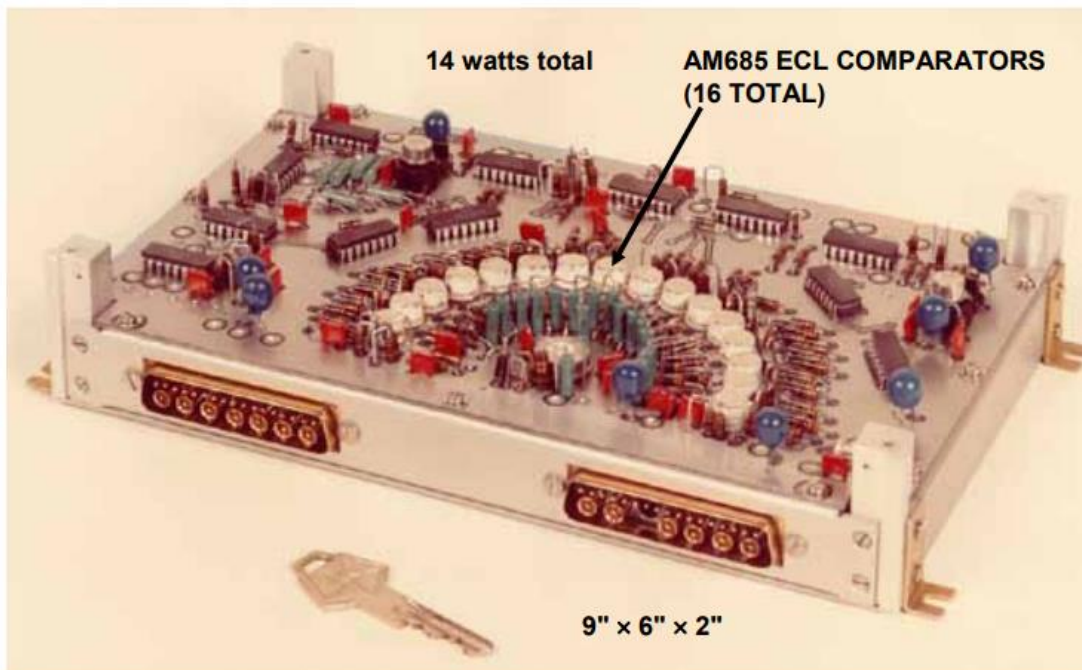


图 9. Computer Labs 于 1975 年推出的 4 位、100-MSPS Flash 转换器

1979 年，TRW LSI 部门推出了首款集成电路 8 位视频速度 30 MSPS flash 转换器 TDC1007J。之后不久又推出了相同设计的 6 位版本，即 TDC1014J。同样在 1979 年，Advanced Micro Devices, Inc. 推出了 4 位 100MSPS IC flash 转换器 AM6688。

单芯片 flash 转换器在上世纪 80 年代变得非常流行，广泛应用于高速 8 位视频应用和较高分辨率分级卡片、模块和混合 ADC 的构建模块。来自 ADI 公司的器件示例包括 [AD9048](#) (8 位、35MSPS) 和 [AD9002](#) (8 位、150MSPS)。许多 flash 转换器均采用 CMOS 工艺制造，以降低能耗。不过，最近分级流水线架构在速率高达约 250MSPS 的 8 位 ADC 中日益受欢迎。例如，8 位 250 MSPS ADC [AD9480](#) 采用高速 BiCMOS 工艺制造，耗能低于 400mW，而采用类似工艺的全 flash 实施耗能则为数瓦。

在实际操作中，IC flash 转换器目前最高可达到 10 位，但较为常见的分辨率是 6 或 8 位。而最大采样速率最高可达 1GHz（这类器件一般采用的是砷化镓且功耗为数瓦），且全功率输入带宽超过 300MHz。

但正如上文所述，全功率带宽并不一定就是全分辨率带宽。理想情况下，flash 转换器中的比较器在直流和交流特性上完全匹配。

由于采样时钟同时施加于所有比较器，因此 flash 转换器本质上是采样转换器。在实际操作中，比较器之间存在延迟偏差及其它交流不匹配，这些在高输入频率时可导致有效位数(ENOB)减少。这是因为输入压摆率能与比较器转换时间相比为此，通常需要在 flash 转换器之前放置采样保持电路，从而在高频输入信号上实现高 SFDR。

flash 型 ADC 的输入以并行方式施加于多个比较器。每个比较器都具有可变电压分结电容，而这种与信号相关的电容使得大多数 flash 型 ADC 在高输入频率下都具有较低 ENOB 和较高分辨率。为此，大多数 flash 转换器必须以宽带运算放大器来驱动，且后者需要能够耐受转换器的容性负载和输入端上产生的高速瞬变。

flash 转换器中的比较器亚稳态会严重地影响误码率(BER)。图 10 所示为具有一级二进制

解码逻辑的简单 flash 转换器。双输入与门将并行比较器的温度计编码输出转换成“独热”码。解码逻辑就是一个“线或”阵列，后者是发射极耦合逻辑(ECL)中常见的一项技术。假定标为“X”的比较器具有标为“X”的亚稳态输出。所需输出码应为 011 或 100，但请注意，受亚稳态影响也可能出现 000 码（两个门输出均为高电平）和 111 码（两个门输出均为低电平），表示 $\frac{1}{2}$ FS 误差。

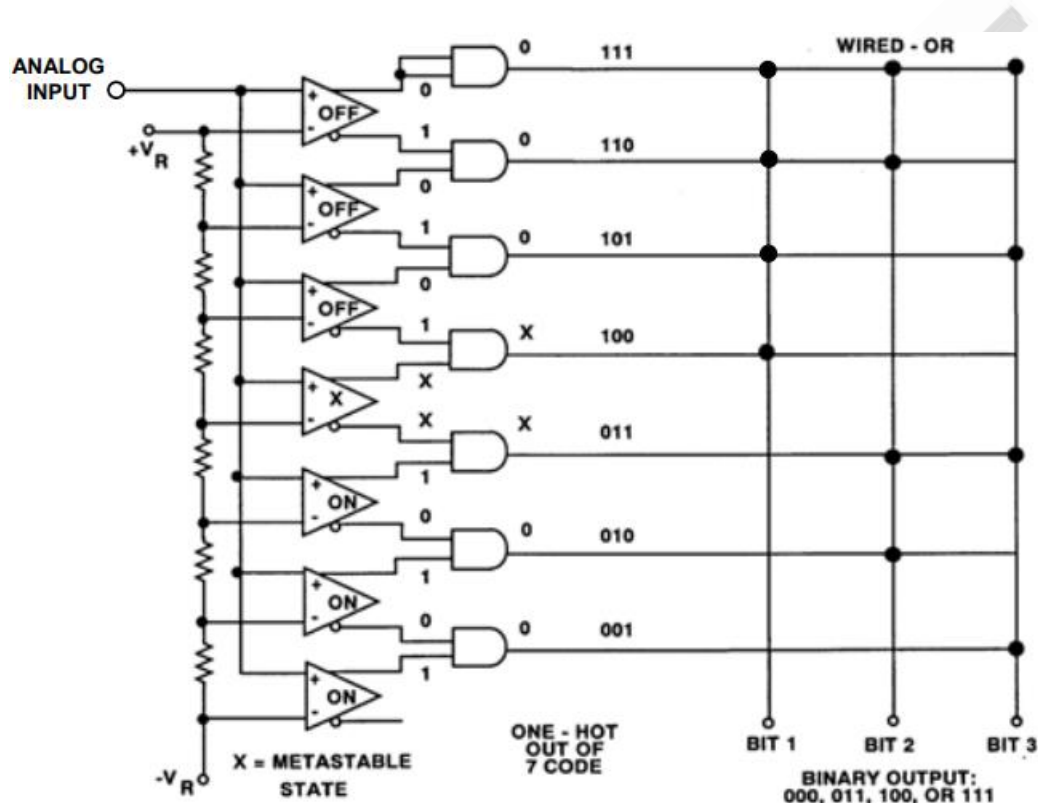


图 10. 比较器输出亚稳态可能导致数据转换器中出现错误码

Flash 转换器中的亚稳态误差可以通过数项技术来消减，其中之一涉及到以格雷码对比较器输出进行解码，然后如前文所述的贝尔实验室电子束编码器中一样进行格雷码至二进制转换。格雷码解码的优势在于，任意比较器的亚稳态仅可在格雷码输出中产生 1 LSB 误差。锁存之后，格雷码接着转换成二进制码，而后者的最大误差又仅为 1 LSB，如图 11 所示。多种现代 IC flash 转换器都采用了相同原则来最大程度地减少亚稳态误差效应。

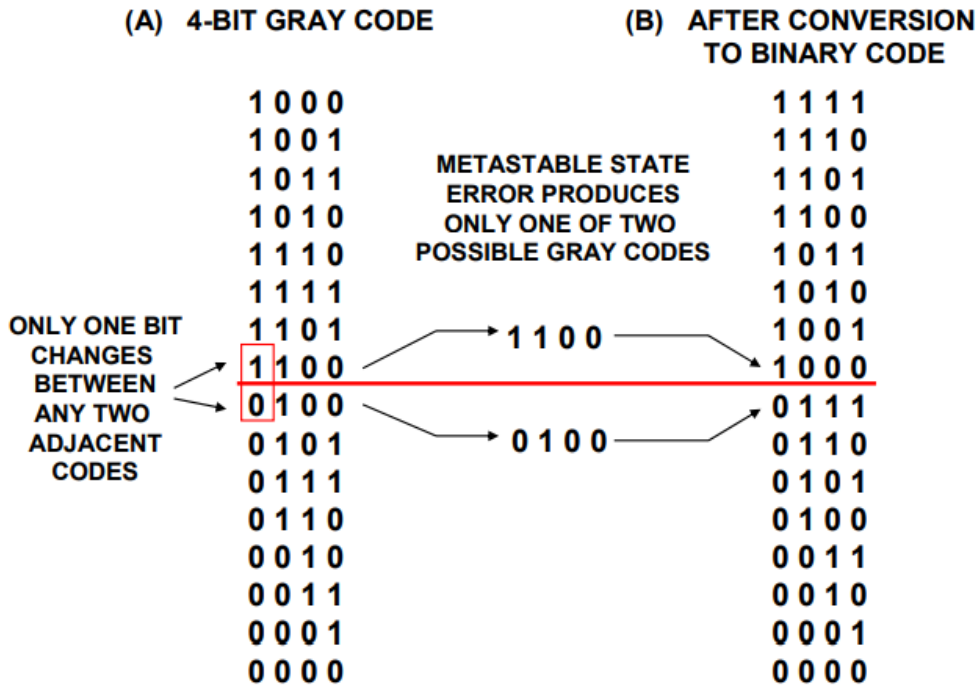


图 11. 格雷码解码减少亚稳态误差幅度

功耗始终是 flash 转换器的一项重要考虑因素，尤其是分辨率超过 8 位时。10 位、210-MSPS ADC [AD9410](#) 中采用了一种称为“插值”的聪明技巧，不仅最大程度地减少了 flash 转换器中的前置放大器数量，而且还降低了功耗。该方法如图 12 所示。

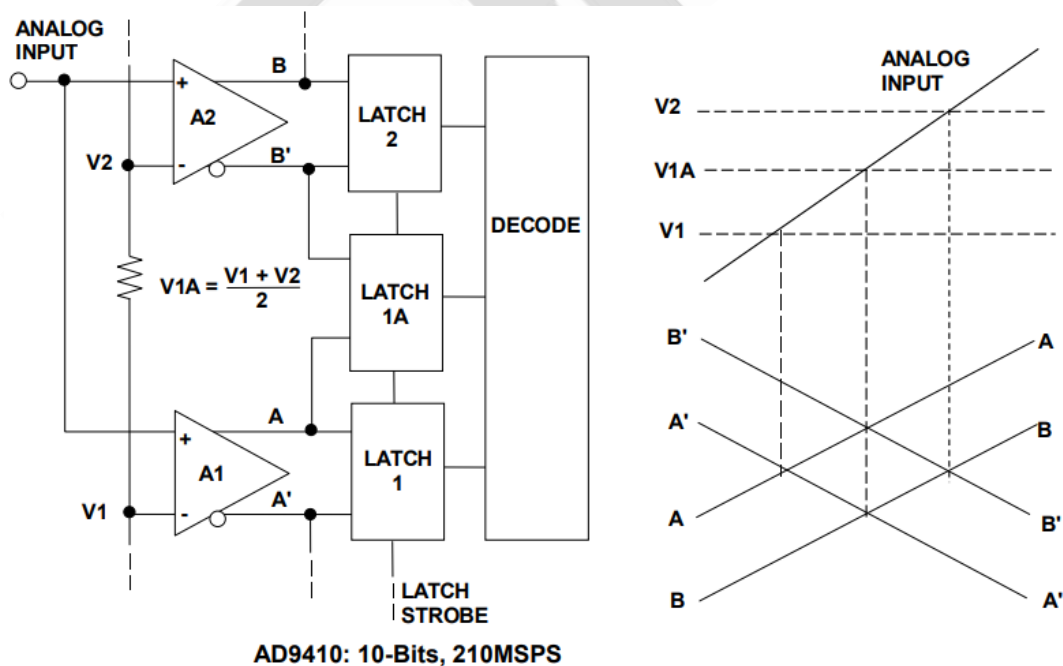


图 12. “插值” Flash 将前置放大器数量减少一半

前置放大器（标为“A1”、“A2”等）是低增益 g_m 级且带宽与差分对的尾电流成比例。假定正向斜坡输入最初低于 AMPA1 的基准电压 V_1 。当输入信号接近 V_1 时，A1 的差分输出接近零（如 $A=A'$ ）并到达决策点。A1 的输出驱动 LATCH1 的差分输入。随着输入信号继续朝正向变化，A 继续朝正向变化，而 B' 开始朝负向变化。当 $A=B'$ 时，即确定插值决策点。随着输入继续朝正向变化，当 $B=B'$ 时即会到达第三个决策点。这种革新架构减少了 ADC 输入电容，因而可最大程度地减少其随信号电平发生的变化及相关失真。[AD9410](#) 还采用输入采样保持电路来改善线性度。

总结

flash 转换器仍旧是给定 IC 工艺所能制造的最快 ADC 架构。不过，功耗和电路板空间考虑因素常常导致分辨率限制为 6 或 8 位。商用砷化镓型 flash 转换器的采样速率可超过 1GHz，但是成本和功耗使得其很难被广泛应用。而凭借“流水线”架构，则能够以较低采样速率（最高位数百 MSPS）实现分辨率更高、功耗和成本更低的 ADC。这项技术采用低分辨率 flash 转换器作为构建模块，具体将在《ADC 架构 IV： Σ - Δ 型 ADC 高级概念和应用》章节中加以讨论。

ADC 架构 II：逐次逼近型 ADC

数年以来，逐次逼近型 ADC 一直是数据采集系统的主要依靠。近期设计改良使这类 ADC 的采样频率扩展至兆赫领域且分辨率为 18 位。ADI 公司的 PulSAR® 系列 SAR ADC 采用内部开关电容技术和自动校准，以 CMOS 工艺实现 18 位、2MSPS 性能([AD7641](#))，而无需进行昂贵的薄膜激光调整。在 16 位级别，[AD7625](#)(6MSPS)和 [AD7626](#)(10MSPS)还代表着突破性的技术。

基本逐次逼近型 ADC 如图 1 所示。该器件根据命令执行转换。为了处理交流信号，SAR ADC 必须具有输入采样保持(SHA)功能来实现在转换周期期间保持信号不变。

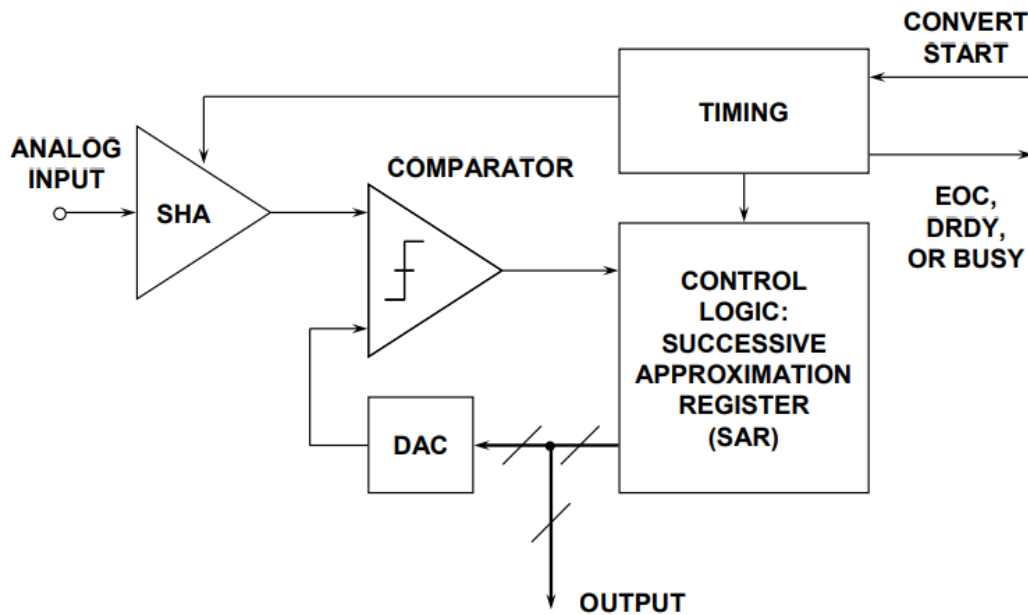


图 1. 基本逐次逼近型 ADC (反馈减损型 ADC)

CONVERT START 命令置位时，采样保持(SHA)电路置于保持模式，而内部 DAC 设为中间电平。比较器确定 SHA 输出是大于还是小于 DAC 输出，并将结果（位 1，转换的最高有效位）存储在逐次逼近型寄存器(SAR)中。然后，DAC 被设为 $1/4$ 量程或 $3/4$ 量程（取决于位 1 的值），而比较器则确定转换的位 2。结果同样存储在寄存器中，而该过程继续进行，直到确定所有位的值为止。当所有位均完成设置、测试并根据需要复位之后，SAR 的内容即对应于模拟输入的值，而转换到此完成。这些位“测试”构成串行输出 SAR 型 ADC 的基础。注意，首字母缩写词“SAR”实际上代表 Successive Approximation Register（逐次逼近型寄存器），即控制转换过程的逻辑模块，但人们普遍将其视作该架构本身的缩写。

SAR ADC 时序

典型 SAR ADC 的基本时序图如图 2 所示。转换结束通常是通过转换结束(EOC)、数据就绪(DRDY)或繁忙信号（实际上，空闲信号表示转换结束）来表示。对于不同的 SAR ADC，此信号的极性和名称可能会有所不同，但基本概念是相同的。在转换间隔开始时，信号变为高电平（或低电平）并保持该状态，直到转换完成为止，然后信号变为低电平（或

高电平)。下降沿通常表示有效的输出数据, 但应当仔细查看数据手册, 有些 ADC 中可能需要额外延迟, 输出数据才有效。

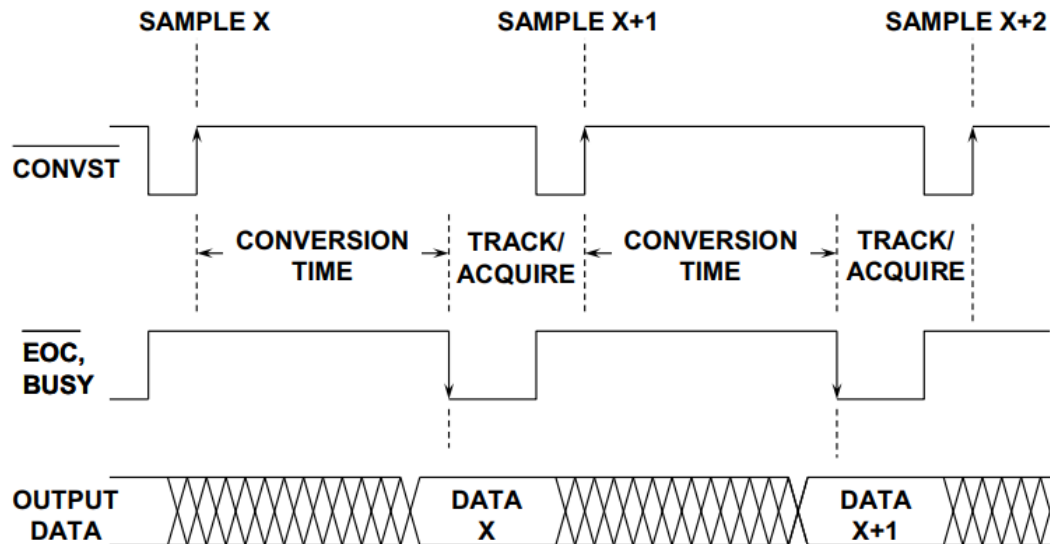


图 2. 典型的 SAR ADC 时序

N 位转换分 N 步进行。因此, 16 位转换器的转换时间是 8 位转换器的两倍, 这看起来是非常浅显的道理, 但实际并不是这样。在 8 位转换器中, DAC 必须建立至 8 位精度, 然后才会做出位判断, 而在 16 位转换器中则必须建立至 16 位精度, 而这需要更长时间。在实际操作中, 8 位逐次逼近型 ADC 在数纳秒内即可完成转换, 而 16 位逐次逼近型 ADC 则通常需要数微妙。

虽然存在一些变化, 但大多数 ADC 的基本时序是类似的且相对直观。转换过程通常由置位 CONVERT START 信号来启动。CONVST 信号是趋负脉冲, 其趋正边沿实际上启动转换。内部采样保持(SHA)放大器在此边沿置于保持模式, 并使用 SAR 算法来确定各个位。CONVST 的趋负边沿导致 EOC 或 BUSY 线路变为高电平。转换完成时, BUSY 线路变为低电平, 表示转换过程已完成。大多数情况下, BUSY 线路的下降沿可用于表示输出数据有效并可用来选通输出数据并存入外部寄存器。不过, 由于术语和设计上存在诸多变化, 因此使用特定 ADC 时应当仔细查阅相关数据手册。SAR ADC 的重要特性

之一是转换时间结束时，即可获得对应于采样时钟边沿的数据，而没有“流水线”延迟。这使得 SAR ADC 在“单发”和多路复用应用中使用尤为简单。

还应注意的是，除 CONVERT START 命令之外，有些 SAR ADC 还需要外部高频时钟。大多数情况下，无需将 CONVERT START 命令同步至高频时钟。如果需要，外部时钟的频率通常位于 1MHz 至 30MHz 范围内，具体取决于 ADC 的转换时间和分辨率。其它 SAR ADC 内置振荡器来用于执行转换并仅需要 CONVERT START 命令。因为其架构，SAR ADC 通常允许以从 DC 到转换器最大转换速率范围内的任意重复率进行单发转换。不过，存在一些例外情况，因此始终应当查阅数据手册。

注意，SAR ADC 的整体精度和线性度主要取决于内部 DAC。直到最近，大多数精密 SAR ADC 都采用激光调整薄膜 DAC 来实现所需的精度和线性度。薄膜电阻调整过程会导致成本增加，并且薄膜电阻值可能会受到封装机械压力的影响。

为此，开关电容（或电荷再分配）DAC 在新款 SAR ADC 中日益流行。开关电容 DAC 的优势在于，精度和线性度主要取决于高精度光刻，而后者又控制电容板面积、电容值和匹配程度。此外，可与主电容并联小电容，并可通过自动校准例程来控制是否接入小电容，因而无需薄膜激光调整，便可实现高精度和线性度。开关电容之间的温度跟踪能力可优于 1ppm/°C，因此可提供较高的温度稳定性。现代细线 CMOS 工艺非常适合制造开关电容 SAR ADC，因此成本较低。

简单的 3 位电容 DAC 如图 3 所示。图中的开关处于跟踪或采样模式，其中模拟输入电压 A_{IN} 对所有电容并联组合持续充电和放电。保持模式通过打开 S_{IN} 来启动，此时将采样的模拟输入电压保留在电容阵列中。接着，开关 S_C 被打开，从而允许节点 A 处的电压随着位开关操控而移动。如果 S_1 、 S_2 、 S_3 和 S_4 全部连接到地，则节点 A 处出现大小等于 $-A_{IN}$ 的电压。如果将 S_1 连接到 V_{REF} ，则电压会在 A_{IN} 的基础上增加 $V_{REF}/2$ 。然后，比较器做出 MSB 位判断，而 SAR 保持 S_1 连接到 V_{REF} 或将其连接到地，具体取决于比较器输出（高电平或低电平，分别取决于节点 A 处的电压是正还是负）。剩余的两个位遵

循类似的过程。转换时间间隔结束时，S1、S2、S3、S4 和 S_{IN} 连接至 A_{IN}、S_C 连接到地，而转换器则已准备好进入下一周期。

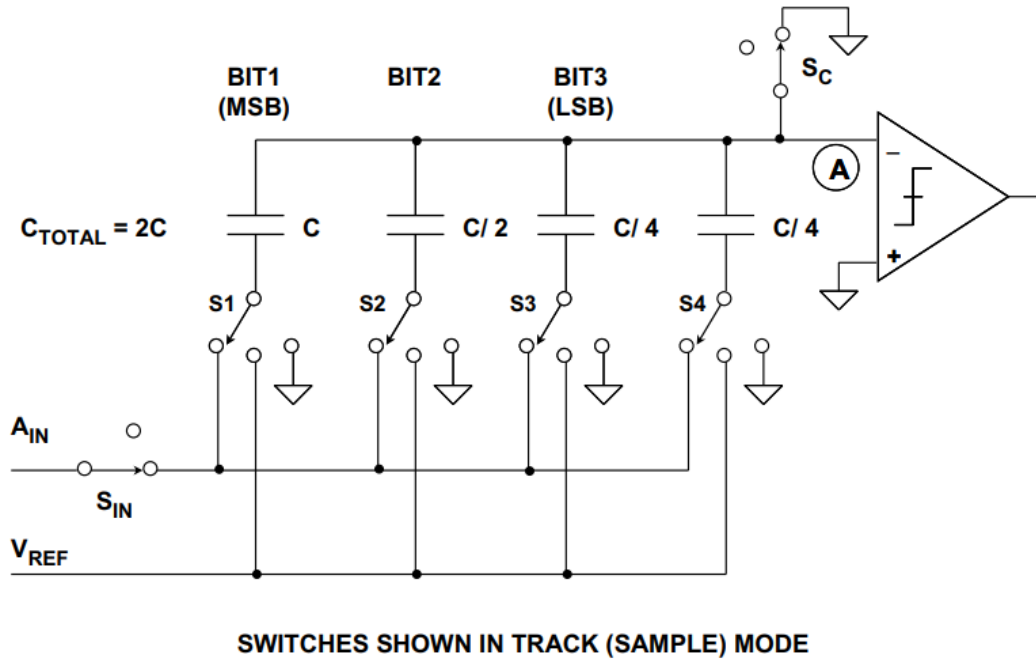


图 3.3 位开关电容 DAC

注意，需要使用额外的 LSB 电容（对于 3 位 DAC，为 C/4）来使电容阵列的总电容值等于 2C，以便可在操控各个位电容时完成二进制分配。

电容 DAC (cap DAC) 的操作类似于 R-2R 阻性 DAC。当特定位电容切换至 V_{REF} 时，该位电容所构成的分压器和总阵列电容 (2C) 即会导致节点 A 处电压增加，具体幅度等于该位的权重。当该电容切换至地时，则会从节点 A 中减去相同大小的电压。

SAR ADC 历史展望

逐次逼近型（最初称为“反馈减损型”）ADC 转换过程中使用的基本算法可以追溯到 16 世纪，与某个数学谜团的解决相关，即通过最小序列的称量操作来确定未知重量。如上所述，该问题的目的是确定最少的称量次数，从而使用天平称量出 1lb 到 40lb 范围内且为整数值的重量。1556 年数学家 Tartaglia 提出的解决方案之一就是使用 1lb、2lb、4lb、8lb、16lb 和 32lb 的称重序列。上述称重算法与现代逐次逼近型 ADC 中使用的算法完全

相同。（应注意，此种解决方案实际上可以测量最高 63 lb 的未知重量，而非问题中所述的 40 lb。）该算法如图 4 所示，其中未知重量为 45 lb。此处使用天平等比来演示该算法。

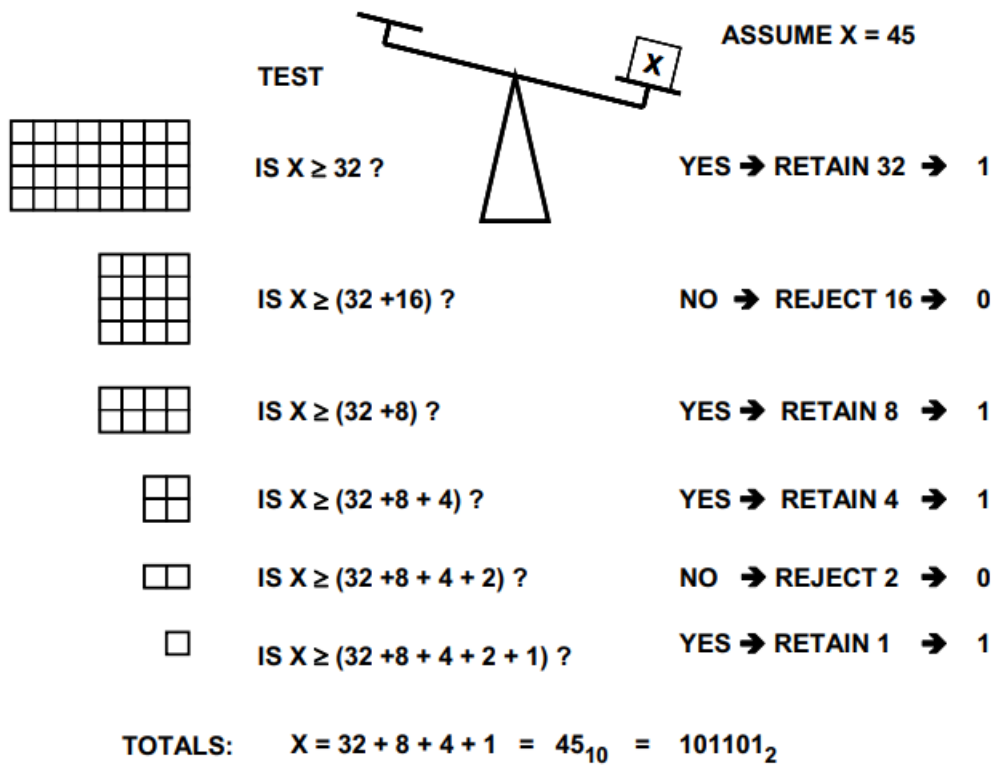


图 4. 逐次逼近型 ADC 算法

逐次逼近型 ADC 的早期实施并未采用 DAC 和逐次逼近型寄存器，但却以各种方式实施了类似功能。实际上，早期 SAR ADC 称为“连续编码器”、“反馈编码器”或“反馈减法器编码器”。术语 SAR ADC 是在上世纪 70 年代随着 National Semiconductor 和 Advanced Micro Devices 退出 2503 和 2504 等商用逐次逼近型寄存器逻辑 IC 而出现的。这些器件经过专门设计，可在逐次逼近型 ADC 中执行寄存器和控制功能，并且是许多模块式和混合型数据转换器的标准构建模块。

从数据转换角度来看，逐次逼近型 ADC 架构构成 T1PCM 载波系统的构建模块，并且仍然是如今备受欢迎的架构之一，但此架构的确切来源并不是很清楚。虽然与逐次逼近型架构改进和变化相关的专利颁发无数，但这些专利都未说明基本原理。

1946 年，贝尔电话实验室的 J.C.Schelleng 首次在某项专利中提到 PCM 环境下的逐次逼近型 ADC 架构（实际上是连续编码器）。该设计并未使用内部 DAC，而是以某种涉及添加二进制加权基准电压的革新方式实施逼近过程。

1947 年，贝尔电话实验室的 Goodall 在某篇论文中描述了实施逐次逼近型 ADC 的更好方法。此 ADC 具有 5 位分辨率并以 8kSPS 的速率对声音通道进行采样。首先对语音信号进行采样，并将对应电压存储在电容上。然后，将其与大小等于满量程电压一半的基准电压进行比较。如果大于基准电压，则 MSB 登记为“1”，并从存储电容减去大小等于 $\frac{1}{2}$ 量程的电荷量。如果电容上的电压小于 $\frac{1}{2}$ 量程，那么不会移除任何电荷，并且位登记为“0”。MSB 判断完成之后，针对第二位继续该循环，不过此时基准电压为 $\frac{1}{4}$ 量程。该过程持续到所有位判断完成为止。这种电荷再分配概念类似于现代开关电容 DAC。

Schelleng 和 Goodall 设计的 ADC 均采用二进制加权基准电压加减过程来执行 SAR 算法。虽然存在 DAC 功能，但并未使用传统的二进制加权 DAC 来执行。1953 年，H.R.Kaiser et al 和 B.D.Smith 设计的 ADC 采用真正的二进制加权 DAC 来产生输入信号的模拟逼近，这与现代 SAR ADC 相似。Smith 还指出，通过使用非均匀加权 DAC 可以实现非线性 ADC 传递函数。这项技术构成了早期 PCM 系统中所用压缩扩展语音频带编解码器的基础（请参见章节《有意为之的非线性 DAC》）。在这项非线性 ADC 技术面世之前，采用的是线性 ADC，并使用二极管/电阻网络来执行压缩和扩展功能，而二极管/电阻网络必须单独进行校准且必须保持在恒温条件下，以免出现漂移误差。

当然，在讨论 ADC 历史时，如果没有提到 EPSCO 公司（现在为 Analogic, Incorporated）Bernard M. Gordon 做出的划时代工作，那么肯定就不完整。Gordon 在 1955 年的专利申请中描述了一种全真空管 11 位、50kSPS 逐次逼近型 ADC，这代表着完整转换器的首款商用产品（见图 5）。DATRAC 采用 19"×26"×15"外壳设计，功耗为数百瓦，当时售价约为 \$8000.00。

- ◆ 19" × 15" × 26"
- ◆ 150 lbs
- ◆ \$8,500.00



Courtesy,
Analogic Corporation
8 Centennial Drive
Peabody, MA 01960

<http://www.analogic.com>

图 5. 1954 年 EPSCO 公司 Bernard M. Gordon 设计的 11 位、50-kSPS SAR ADC “DATRAC”在稍后一项专利中，Gordon 详细描述了执行逐次逼近型算法所需的逻辑模块。稍后在上世纪 70 年代中，National Semiconductor 和 Advanced Micro Devices 实施了 SAR 逻辑功能——备受欢迎的 2502/2503/2504 系列 IC 逻辑芯片。在上世纪 70 和 80 年代，这些芯片几乎成为所有模块式和混合型逐次逼近型 ADC 必不可少的构建模块。

ADI 公司于 1969 年进军数据转换器领域

1965 年，Ray Stata 和 Matt Lorber 在马萨诸塞州剑桥市创立 ADI 公司。ADI 公司最初产品为高性能模块式运算放大器，但在 1969 年并购了 Pastoriza Electronics（数据转换器产品的领先供应商），从此坚定不移地投身于数据采集和线性产品。

Pastoriza 拥有一系列数据采集产品，而图 6 所示为 1969 年款 12 位、10- μ s 通用逐次逼近型 ADC ADC-12U（当时售价约\$800.00）的照片。ADC-12U 采用的是逐次逼近型架构，并利用一个 μ A710 比较器、一个模块式 12 位 “Minidac” 和 14 个 7400 系列逻辑封装来执行逐次逼近型转换算法。

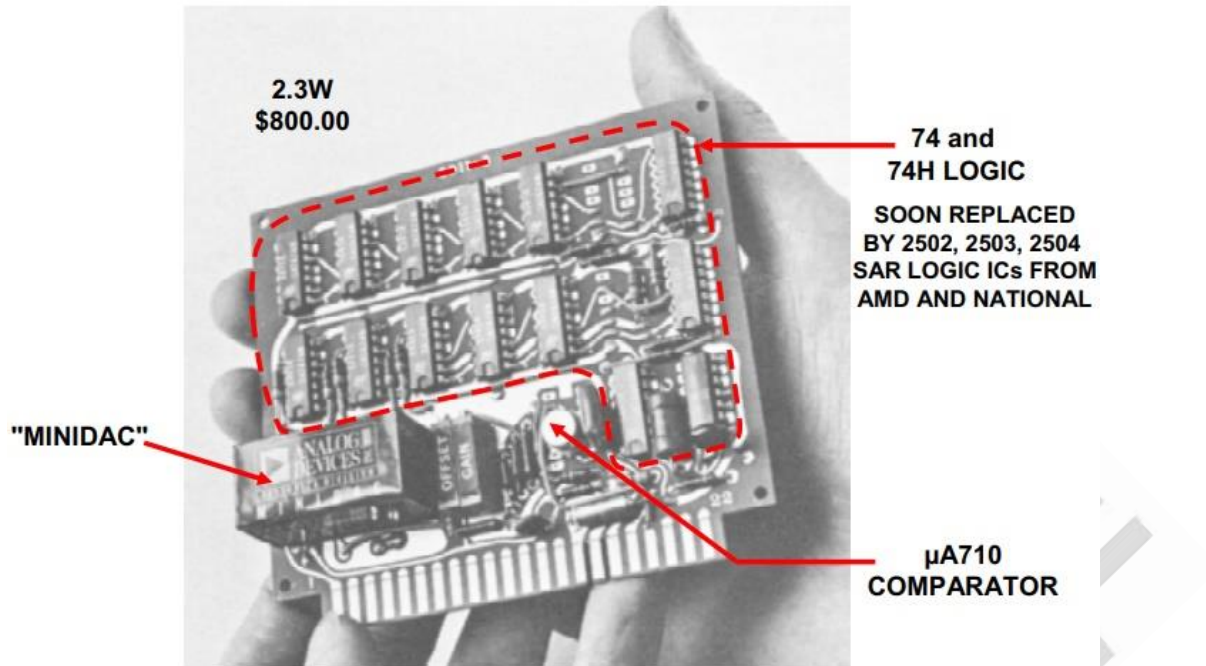


图 6. ADI 公司 Pastoriza 分公司于 1969 年推出的 12 位、10- μ s SAR ADC ADC-12U

“Minidac”模块实际上是由“四通道”IC([AD550](#))和薄膜网络(AD850)构建而成。有关这些早期 DAC 构建模块的进一步讨论，请参见《DAC 架构 II：二进制 DAC》章节。

注意，在 ADC-12U 中，逐次逼近型算法的实施要求采用 14 个逻辑封装。1958 年，Bernard M.Gordon 申请了一项关于逐次逼近型算法执行逻辑的专利，并在上世纪 70 年代早期，Advanced Micro Devices 和 National Semiconductor 推出了商用逐次逼近型寄存器 IC：2502（8 位串行，不可扩展）、2503（8 位，可扩展）和 2504（12 位串行，可扩展）。这些器件经过专门设计，可在逐次逼近型 ADC 中执行寄存器和控制功能，并成为很多模块式和混合型数据转换器的标准构建模块。

1969 年之后，ADI 公司继续保持数据转换领域的先驱者地位。上世纪 70 年代期间，模块逐渐发展成为混合电路。混合电路通常采用具有厚膜或薄膜导体的陶瓷基板。独立芯片焊接到基板（通常采用环氧树脂），而线焊构成焊盘和导体之间的连接。混合电路通常采用某种类型的陶瓷或金属封装进行密封封装。精度是通过在组装和互连之后、封装之前调整厚膜或薄膜电阻来实现的。制造商采用薄膜网络、分立薄膜电阻、堆积式厚膜

或薄膜电阻或上述任意组合。

ADI 公司于 1977 年推出的 12 位、25- μs SAR ADC [AD572](#) 就是混合技术的一个很好例子。[AD572](#) 配有内部时钟、基准电压源、比较器和输入缓冲放大器。SAR 寄存器为常见的 2504。内部 DAC 由一个 12 位开关芯片和一个主动调整型薄膜梯形电阻网络构成（单独封装为双芯片 [AD562](#) DAC）。[AD572](#) 是首款通过军用认证的 12 位 ADC，其按照 MIL-STD-883B 标准加工且可在 -55°C 至 $+125^{\circ}\text{C}$ 的整个温度范围内工作。图 7 所示为 [AD572](#) 的照片。

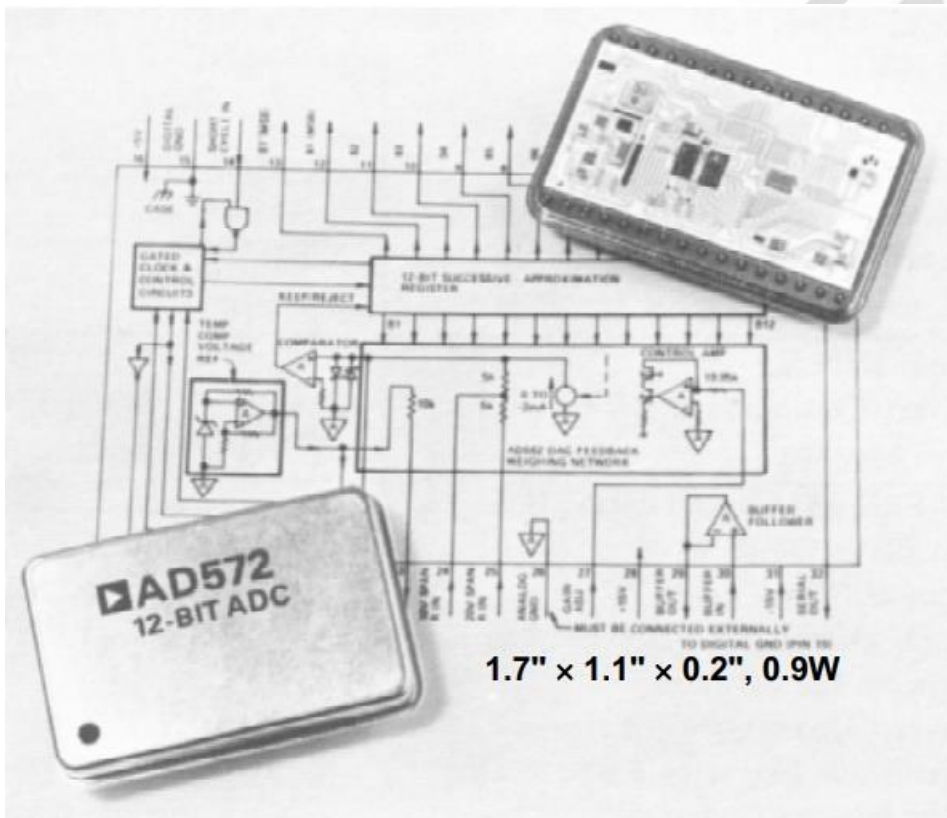


图 7. 1977 年通过军用认证的 12 位、25- μs 混合型 ADC [AD572](#)

ADI 公司还是单芯片数据转换器领域的先驱者。1978 年推出的 12 位、35 μs [AD574](#) 很可能是有史以来最重要的 SAR ADC。[AD574](#) 代表着一个完整解决方案，其中包括埋层齐纳型基准电压源、时序电路和三态输出缓冲器来直接与 8、12 或 16 微控制器总线接口。最初推出时，[AD574](#) 采用复合单芯片结构制造并基于两个芯片——其中一个 12 位电流输

出 DAC [AD565](#)，包括基准电压源和薄膜调整电阻，而另一个则包含逐次逼近型寄存器 (SAR)、微处理器接口逻辑功能和精密锁存比较器。[AD574](#) 很快成为上世纪 80 年代早期的工业标准 12 位 ADC。1985 年，该器件首次以单芯片形式出现，此后使得低成本商用塑料封装成为可能。[AD574](#) 简化框图如图 8 所示。

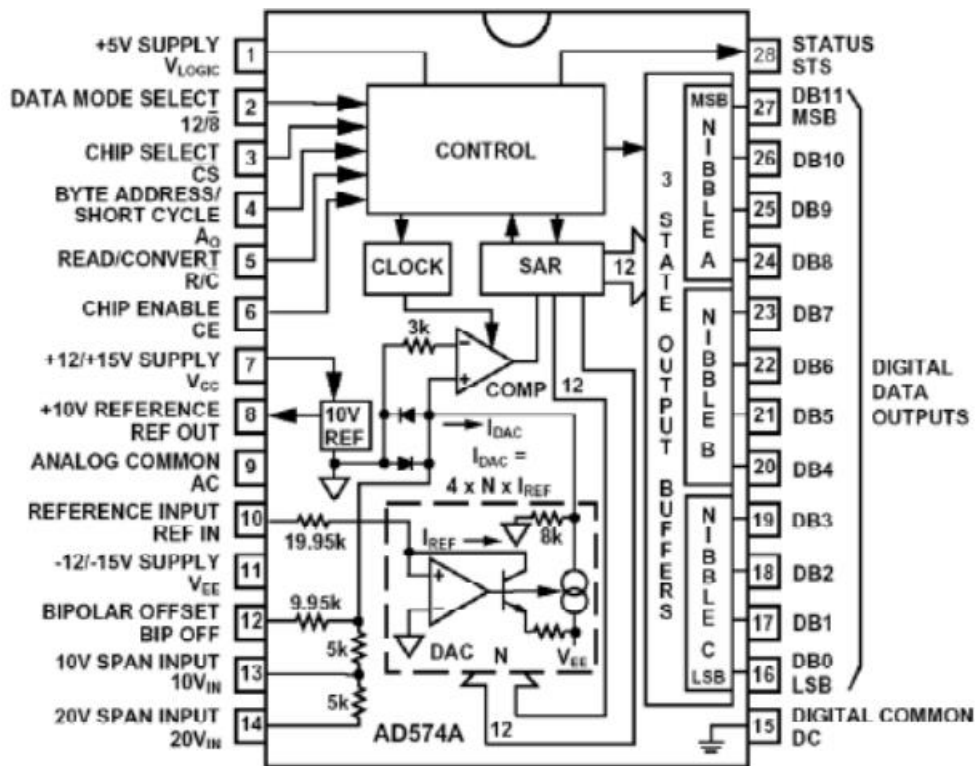


图 8. 1978 年工业标准 12 位、35- μ s IC ADC [AD574](#)

现代 SAR ADC

随着逐次逼近型 ADC 日益受欢迎，其分辨率、采样速率、输入/输出选项和成本开始出现多样化。现在，很多 SAR ADC 提供片上输入多路复用器，非常适合多通道数据采集系统。本章节无法一一介绍所有类型的 SAR ADC，而只是重点介绍几款具有突破性意义的现代产品。

ADI 公司的 PuLSAR[®] 系列就是现代电荷再分配逐次逼近型 ADC 的一个例子。[AD7641](#) 是一款 18 位、2MSPS、全差分 ADC，采用 2.5V 单电源供电（见图 9）。该器件内置一个 18 位高速采样 ADC、一个内部转换时钟、纠错电路、一个内部基准电压源以及串行和并

行系统接口。[AD7641](#) 经过出厂硬件校准和全面测试，可确保除一般直流参数（增益、偏置和线性度）之外，诸如信噪比(SNR)和总谐波失真(THD)等交流参数也合乎要求。

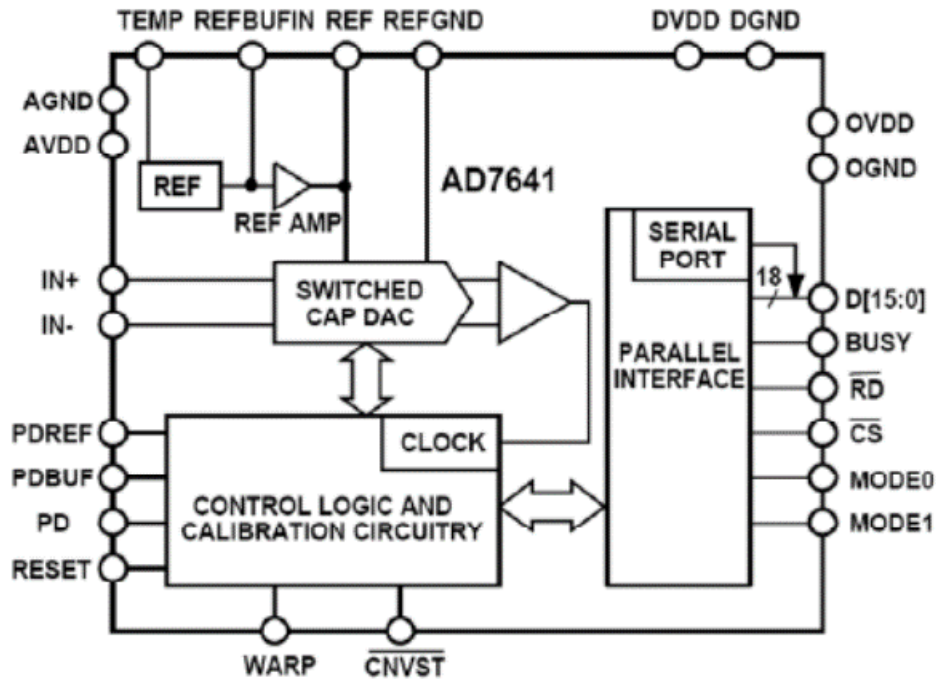


图 9. 18 位 2-MSPS 开关电容 PuISAR® ADC [AD7641](#)

处理工业级信号

几年前推出了许多低电压单电源 SAR ADC，但其输入范围通常限制为小于或等于电源电压。许多情况下，这并不是什么问题；但是，仍旧有很多工业应用要求对双极性信号（如 $\pm 5V$ 或 $\pm 10V$ ）进行数字化处理。在与单电源 ADC 接口时，这就要求使用外部电路。图 10 显示了两种可能方法。可以使用外部运算放大器来执行所需的电平转换和衰减，以使 $\pm 10V$ 信号与 ADC 的 0 至 +2.5V 输入范围相匹配（图 10A）。或者利用电阻网络来执行衰减和电平转换（图 10B）。两种方法都需要外部元件。

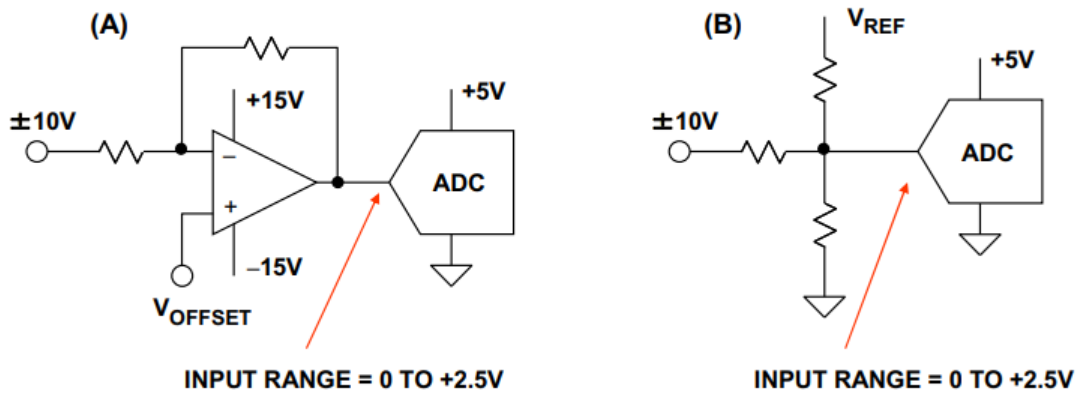


图 10. 工业级双极性信号与低电平 ADC 接口

ADI 公司采用专有工业 CMOS(iCMOS™)工艺打造了一种更加稳妥的解决方案，该方案允许输入电路使用标准工业 $\pm 15V$ 电源供电，而 ADC 内核使用低电压电源 (5V 或更小) 供电。图 11 显示的是 13 位 8 通道输入 ADC [AD7328](#)。

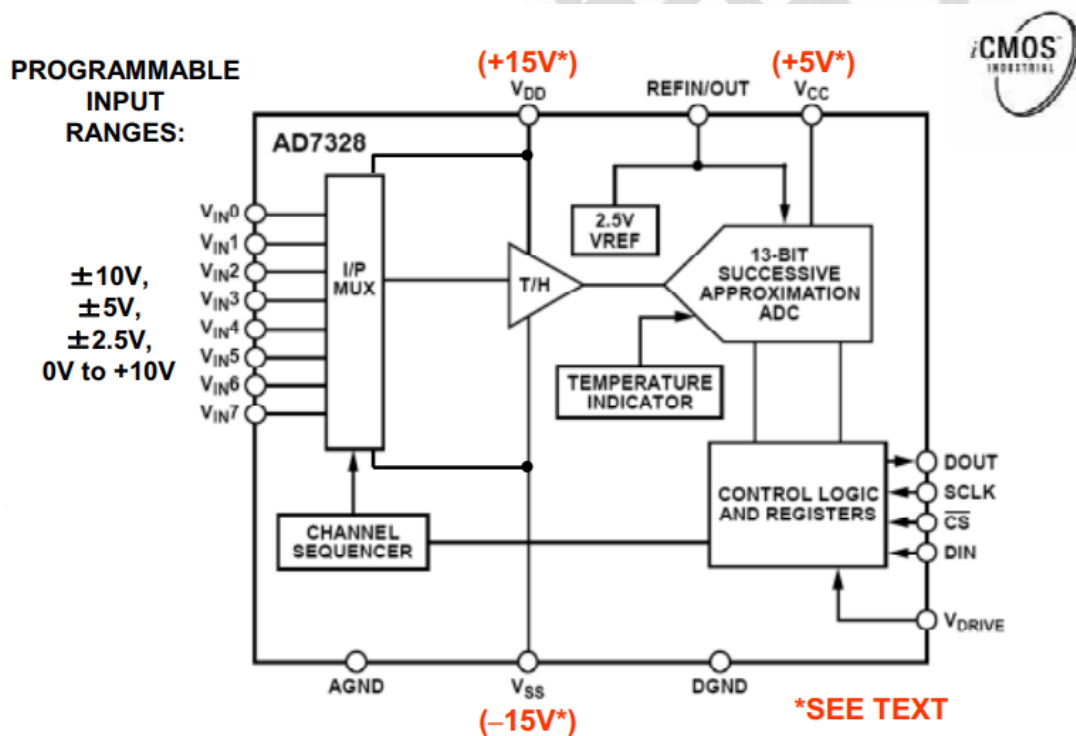


图 11. 真双极性输入、13 位、1MSPS iCMOS™ ADC [AD7328](#)

[AD7328](#) 采用 iCMOS (工业 CMOS) 工艺设计。iCMOS 是一种将高电压 CMOS 和低电压 CMOS 结合使用的工艺。通过这种工艺，可开发在 33V 高压下工作的高性能模拟 IC，其

体积性能比是以往的高压器件所无法实现的。与采用传统 CMOS 工艺的模拟 IC 不同，iCMOS 组件不但可以输入双极性信号，同时还能提升性能，大幅降低功耗并减小封装尺寸。[AD7328](#) 可输入真双极性模拟信号，它有四种软件可选输入范围： $\pm 10V$ 、 $\pm 5V$ 、 $\pm 2.5V$ 和 $0V$ 至 $10V$ 。每个模拟输入通道支持独立编程，可设为四个输入范围之一。[AD7328](#) 中的模拟输入通道可通过编程设为单端、真差分或伪差分三种模式。该 ADC 内置一个 $2.5V$ 的基准电压，也可采用外部基准。如果在 REFIN/OUT 引脚上施加 $3V$ 外部基准电压，[AD7328](#) 则可接受 $\pm 12V$ 真双极性模拟输入。对于 $\pm 12V$ 输入范围，需要采用最低 $\pm 12V$ 的 V_{DD} 和 V_{SS} 电源。

[AD7328](#) 的低电压内核采用 V_{CC} 电源供电，针对额定性能的标称值应为 $5V$ ($4.75V$ 至 $5.5V$)。对于 $2.7V$ 和 $4.75V$ 之间的 V_{CC} ，该器件符合其典型规格。[AD7328](#) 采用单独的 V_{DRIVE} 引脚来设置 I/O 逻辑接口电压 ($2.7V$ 至 $5.5V$)。 V_{DRIVE} 电压不应比 V_{CC} 高出 $0.3V$ 。该器件配有一个高速串行接口，最高吞吐量可达 $1MSPS$ 。

总结

SAR ADC 架构是一种完善、有效且易于理解的架构，非常适合现代细线 CMOS 工艺。该架构没有“流水线”延迟，因此非常适合单发和多路复用数据采集应用。CMOS 工艺允许添加各种各样的数字功能，如自动通道时序控制和自动校准等。此外，许多 SAR ADC 拥有片上温度传感器和基准电压源。虽然 SAR ADC 源自 16 世纪的数学谜团，但是其仍然是现代多通道数据采集系统所青睐的转换器。

ADC 架构 III： Σ - Δ 型 ADC 基础

Σ - Δ 型 ADC 是现代语音频带、音频和高分辨率精密工业测量应用所青睐的转换器。高度数字架构非常适合现代细线 CMOS 工艺，因而允许轻松添加数字功能，而又不会显著增加成本。随着此转换器架构的广泛使用，了解其基本原理显得非常重要。

由于该主题长度较长， Σ - Δ 型 ADC 需要分为两个章节《ADC 架构 III： Σ - Δ 型 ADC 基础》和《ADC 架构 IV： Σ - Δ 型 ADC 高级概念和应用》来讨论。本章节首先讨论 Σ - Δ 的历史和过采样、量化噪声整形、数字滤波以及抽取的基本概念。而《ADC 架构 IV： Σ - Δ 型 ADC 高级概念和应用》章节讨论的是与 Σ - Δ 相关的较高级主题，包括空闲音、多位 Σ - Δ 型 ADC、多级噪声整形 Σ - Δ 型 ADC(MASH)、带通 Σ - Δ 型 ADC 以及一些应用示例。

历史展望

Σ - Δ 型 ADC 架构源自脉冲码调制(PCM)系统的早期研发阶段，尤其是那些与称为“ Δ 调制”和“差分 PCM”的传输技术相关的。 Δ 调制最初由法国 ITT 实验室的 E.M.Deloraine、S.VanMierlo 和 B.Derjavitch 于 1946 年发明。

其原理在数年之后由荷兰的飞利浦实验室“重新发现”。该实验室的工程师于 1952 年和 1953 年发表了一位和多位概念的首次大型研究结果。1950 年，美国贝尔电话实验室的 C.C.Cutler 申请了一项关于差分 PCM 的重要专利，其中也涵盖了相同的重要概念。

Δ 调制和差分 PCM 的重要驱动力是通过传输连续样本之间的数值变化(Δ)而非真实样本自身，以实现更高的传输效率。在 Δ 调制中，模拟信号通过 1 位 ADC（比较器）进行量化，如图 1A 所示。比较器输出由 1 位 DAC 转回为模拟信号，并在通过积分器后从输入中减去。模拟信号波形的传送方式如下：“1”表示自上次采样后出现正偏移，而“0”则表示自上次采样之后出现负偏移。

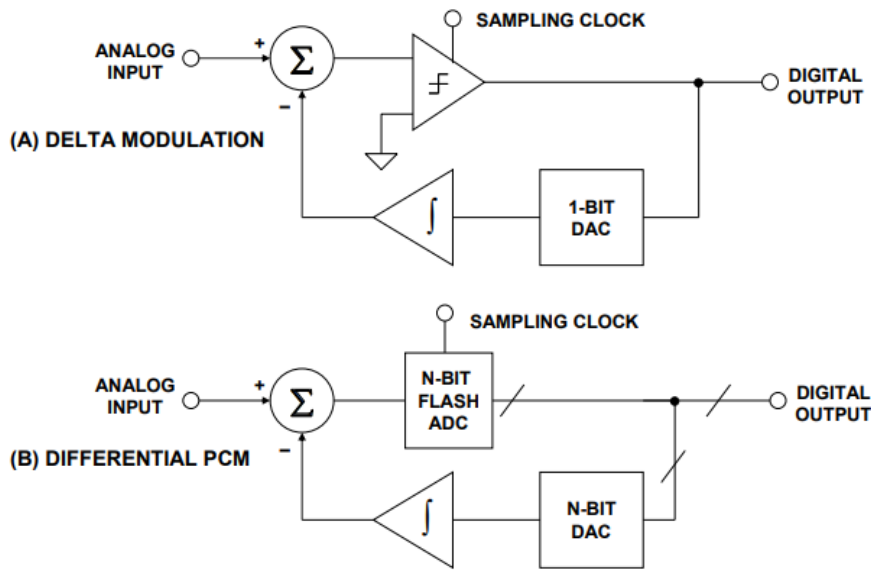


图 1. Δ 调制和差分 PCM

如果模拟信号在一定时间内保持固定的直流电平，则会获得“0”和“1”交替形式。应注意，差分 PCM（见图 1B）采用几乎完全相同的概念，不同之处仅在于其采用多位 ADC 而非单个比较器来获得所传送的信息。

由于并没有限制同符号脉冲的出现次数，因此 Δ 调制系统能够跟踪任何幅度的信号。理论上不存在峰值削波。不过， Δ 调制在理论上存在一定局限性，即模拟信号不可快速变化。斜率削波问题如图 2 所示。图中，虽然每个采样时刻都指示正偏移，但模拟信号上升过快，因此量化器无法保持同步。

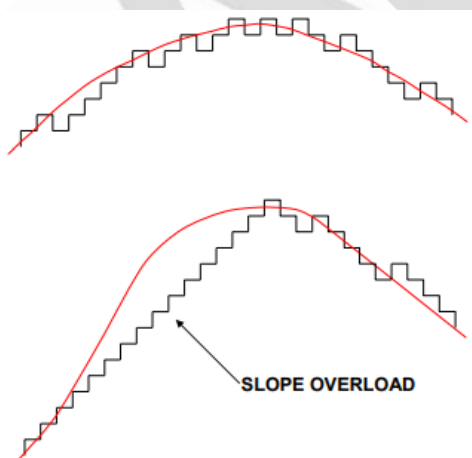


图 2. 使用 Δ 调制进行量化

要减少斜率削波，可增加量化步长或加快采样速率。差分 PCM 采用多位量化器通过增加复杂性来有效地增加量化步长。测试表明，要获得与经典 PCM 相同的品质， Δ 调制要求采用非常高的采样速率，通常为最高目标频率的 20 倍，而非奈奎斯特速率（2 倍）。

为此， Δ 调制和差分 PCM 从未广泛流行开来，但只要对 Δ 型调制器稍微进行一些修改便可得到基本的 Σ - Δ 架构，该架构是而今最受欢迎的 ADC 架构之一。

1954 年，贝尔实验室的 C.C.Cutler 申请了一项非常重要的专利，其中介绍了旨在实现较高分辨率的过采样和噪声整形理论。他并不是专门为了设计奈奎斯特 ADC，而是为了传递过采样噪声整形信号而又不降低数据速率。因此，Cutler 的转换器呈现了 Σ - Δ 型 ADC 中的所几乎有概念，只有数字滤波和抽取除外，数字滤波和抽取在使用真空管技术的时代显得过于复杂和昂贵。

之后数年里依旧偶尔出现这些概念方面的重要著作，其中包括 C.B.Brahm 于 1961 年申请的重要专利，该专利详细介绍了二阶多位噪声整形 ADC 的环路滤波器模拟设计。这段时间内，晶体管电路开始取代真空管，这为该架构的实现提供了更多可能性。

1962 年，Inose、Yasuda 和 Murakami 详细阐述了 Cutler 于 1954 年提出的一位过采样噪声整形架构。他们的实验电路采用固态器件来实现一阶和二阶 Σ - Δ 型调制器。在 1962 年论文之后紧接着于 1963 年发表了第二篇论文，其中给出了过采样和噪声整形的出色理论探讨。这两篇论文还最先使用“ Δ - Σ ”名称来描述该架构。“ Δ - Σ ”名称一直沿用到 19 世纪 70 年代，那时 AT&T 工程师开始使用“ Σ - Δ ”名称。从此以后，两个名称都一直在用；不过， Σ - Δ 可能是两个名称当中较为正确的。

有趣的是，前文提到的所有著作都是关于直接传递过采样数字化信号，而非奈奎斯特 ADC 的实现。1969 年，贝尔实验室的 D.J.Goodman 发表了一篇论文，介绍了在调制器后使用数字滤波器和抽取器的真正奈奎斯特 Σ - Δ 型 ADC。这是首次使用 Σ - Δ 架构来明确地构建奈奎斯特 ADC。1974 年，J.C.Candy（也来自贝尔实验室）描述了一种具有噪

声整形、数字滤波和抽取功能的多位过采样 Σ - Δ 型 ADC 来实现高分辨率奈奎斯特 ADC。

与其它架构相比，该 IC Σ - Δ 型 ADC 具有数项优势，尤其是针对高分辨率、低频应用时。

首先，该一位 Σ - Δ 型 ADC 本身具有单调性且无需激光调整。此外，该架构的数字化密集特性使得该 Σ - Δ 型 ADC 非常适合低成本 CMOS 工艺。从那以后，上文所述早期著作中提出的基本架构经过了连续工艺的过程和设计改进。

现代 CMOS Σ - Δ 型 ADC (以及 DAC, 就此而言) 是语音频带和音频应用所青睐的转换器。

高度数字化架构使得其非常适合细线 CMOS 工艺。此外，高分辨率 (最高达 24 位) 低频 Σ - Δ 型 ADC 在精密工业测量应用中几乎已经取代了老的积分型转换器。

Σ - Δ 型 ADC 基础

Σ - Δ 型 ADC 的架构和理论说明可说是数不胜数，但大多数都涉及到错综复杂的积分运算并因此而变得更让人费解。有些工程师不清楚 Σ - Δ 型 ADC 的工作原理，故而研读已发表的典型文章，结果发现这些文章内容过于复杂而不易理解。

其实，只要避开详细的数学运算， Σ - Δ 型 ADC 也没什么特别难以理解的，而此部分的目的就是尝试阐明该主题。 Σ - Δ 型 ADC 包含非常简单的模拟电子电路 (一个比较器、一个基准电压源、一个开关以及一个或以上的积分器与模拟求和电路) 和相当复杂的数字运算电路。这个数字电路由一个用作滤波器 (通常但不总是低通滤波器) 的数字信号处理器(DSP)组成。无需确切知道该滤波器的工作原理，便可领会其具体作用。要弄清楚 Σ - Δ 型 ADC 的工作原理，需要熟悉过采样、量化噪声整形、数字滤波和抽取等概念。

接下来，我们借助频域分析来看看过采样技术。当直流转换具有多达 $\frac{1}{2}$ LSB 的量化误差时，数据采样系统便存在量化噪声。理想的经典 N 位采样 ADC 在 DC 至 $f_s/2$ 的奈奎斯特频段范围内均匀地分布着均方根大小为 $q/\sqrt{12}$ 的量化噪声 (其中，q 是一个 LSB 的值而 f_s 是采样频率)，如图 3A 所示。因此，采用满量程正弦波输入时，其 SNR 将为 $(6.02N+1.76)$ dB (有关推到过程，请参考技术指南 [《揭开一个公式\(SNR=6.02N+1.76dB\)》](#))

的神秘面纱，以及为什么我们要予以关注》)。如果 ADC 并不理想，其噪声大于理论上的最小量化噪声，那么其有效分辨率将低于 N 位。其实际分辨率（通常称为“有效位数”或 ENOB）定义为：

$$\text{ENOB} = \frac{\text{SNR} - 1.76\text{dB}}{6.02\text{dB}} \quad \text{等式 1}$$

如果选择更高的采样速率 Kf_s 。（见图 3B），均方根量化噪声保持为 $q/\sqrt{12}$ ，但该噪声现在分布在 DC 至 $Kf_s/2$ 这个更宽的带宽范围内。如果接着在输出端应用数字低通滤波器 (LPF)，则可以消除多数量化噪声，而又不会影响所需信号，从而使得 ENOB 得以改善。这样，我们便使用低分辨率 ADC 完成了高分辨率模数转换。系数 K 通常称为“过采样率”。注意，从这一点看，过采样还有一个好处，那就是可降低对模拟抗混叠滤波器的要求。这是 Σ - Δ 的一项巨大优势，尤其是在锐截止线性相位滤波器成本非常重要的消费电子音频应用中。

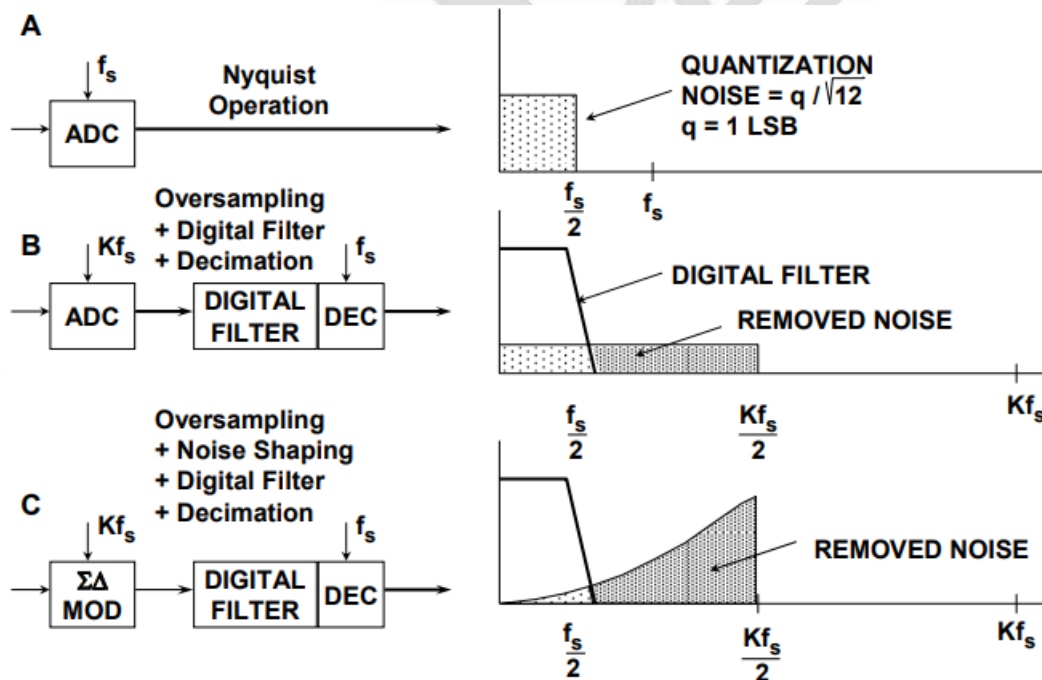


图 3. 过采样、数字滤波、噪声整形和抽取

由于数字输出滤波器会减少带宽，因此输出数据速率将小于原始采样速率(Kf_s)但仍旧满

足奈奎斯特准则。这点或许可通过将每第 M 个结果传递至输出端并丢弃其它结果来实现。该过程称为 M 倍“抽取”。不管该术语的来源如何 (decem 在拉丁语中表示“十”)，只要输出数据速率是信号带宽的两倍以上，那么 M 可以是任意整数。抽取并不会导致任何信息丢失 (见图 3B)。

如果只是采用过采样来提高分辨率，则要让分辨率增加 N 位，就必须进行 2^{2N} 倍过采样。 Σ - Δ 型转换器无需此类高过采样率，因为其不仅会限制信号通带，而且还会对量化噪声进行整形，以使此类噪声大多数位于此通带之外，如图 3C 所示。

如果选用一个 1 位 ADC (一个比较器) 并以一个积分器的输出来驱动该比较器，然后将该 ADC 输出馈入一个 1 位 DAC 并将 1 位 DAC 的输出与输入信号的加和馈入积分器，便可得到一阶 Σ - Δ 型调制器，如图 4 所示。若接着在数字输出端添加一个数字低通滤波器(LPF)和抽取器，则可以得到一个 Σ - Δ 型 ADC。 Σ - Δ 型调制器会对量化噪声进行整形，以使其位于数字输出滤波器的通带以外，因此 ENOB 要远大于在该过采样率下所预期的结果。

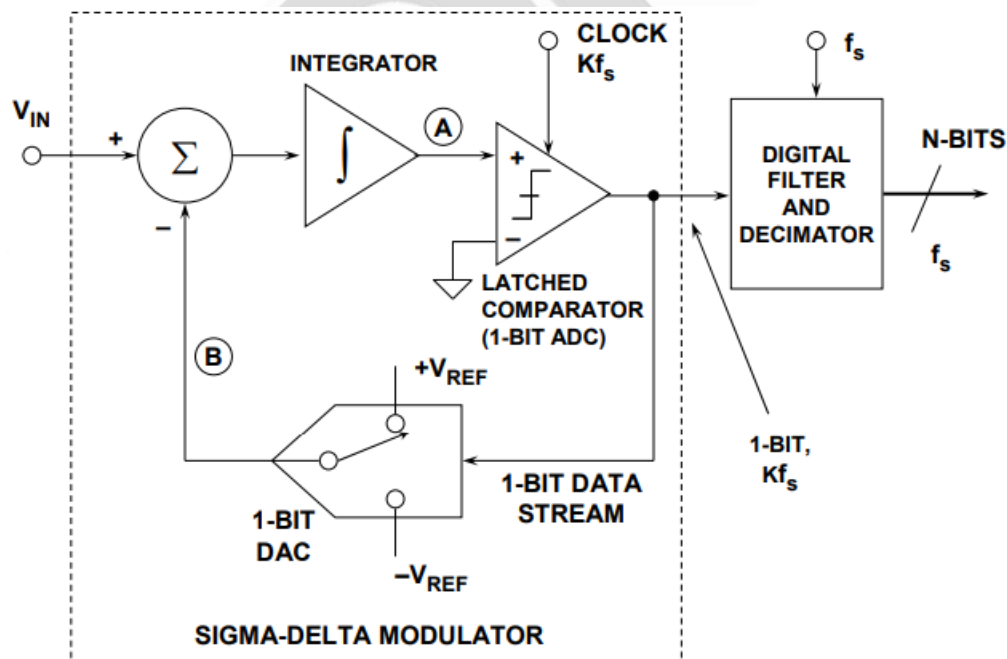


图 4. 一阶 Σ - Δ 型 ADC

直观而言， Σ - Δ 型 ADC 的工作方式如下。假定在 V_{IN} 处施加直流输入。积分器在节点 A 处持续斜升或斜降。比较器的输出通过一个 1 位 DAC 反馈至节点 B 处的求和输入。比较器输出通过 1 位 DAC 的回到求和点的负反馈环路强制将节点 B 处的平均直流电压设为 V_{IN} 。这表示平均 DAC 输出电压必须等于输入电压 V_{IN} 。平均 DAC 输出电压由比较器输出的 1 位数据流中的 1 的密度来控制。随着输入信号增加到 $+V_{REF}$ ，串行位流中的“1”数量增加，而“0”数量则减少。类似地，随着信号负向趋近 $-V_{REF}$ ，串行位流中的“1”数量减少，而“0”数量则增加。从非常简单的角度来看，此项分析显示输入电压的平均值包含在比较器输出的串行位流中。数字滤波器和抽取器处理该串行位流并产生最终的输出数据。

对于任意给定输入值，一个采样间隔内的 1 位 ADC 的输出数据几乎毫无意义。只有对大量样本求平均值时，才会产生有意义的值。由于一位数据输出具有明显的随机性，因此很难在时域内对 Σ - Δ 型调制器进行分析。如果输入信号接近正满量程，位流中的“1”将明显多于“0”。同样，如果信号接近负满量程，位流中的“0”将明显多于“1”。如果信号接近中间电平，则“1”和“0”的数量大致相等。图 5 显示了两种输入条件下积分器的输出。第一种条件是输入为 0（中间电平）。为了解码输出，需使输出样本通过一个简单的数字低通滤波器（对每 4 个样本求平均值）。滤波器的输出为 $2/4$ ，此值代表双极性 0。如果对更多样本求平均值，则可实现更高动态范围。例如，对 4 个样本求平均值可以得到 2 位的分辨率，对 8 个样本求平均值则可得到 $4/8$ ，或者说 3 位的分辨率。在图 5 下方的波形中，针对 4 个样本所获得的平均值为 $3/4$ ，8 个样本的平均值为 $6/8$ 。

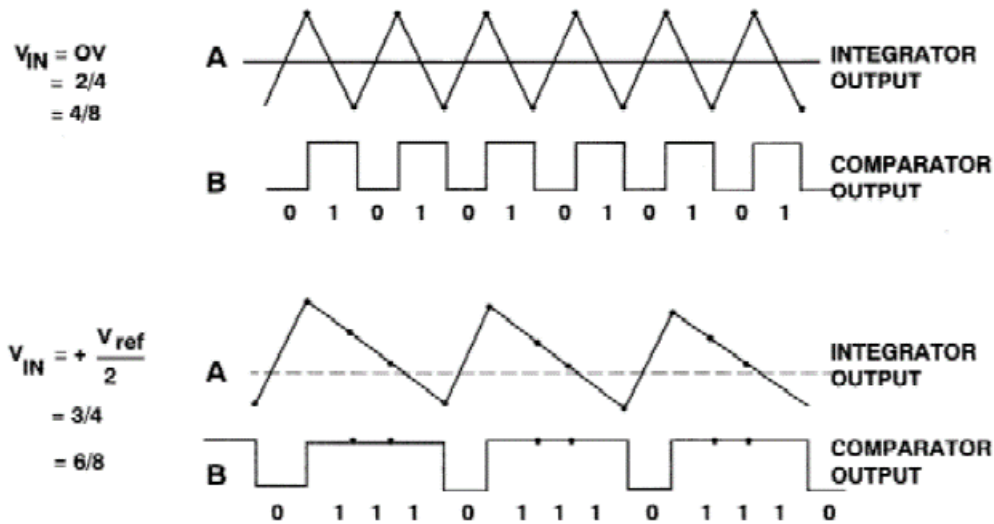


图 5. Σ - Δ 型调制器波形

Σ - Δ 型 ADC 也可以视作一个后接计数器的同步电压频率转换器。如果对足够多样本的输出数据流中“1”的数量进行计数，则计数器输出将能代表输入的数字值。很显然，这种求平均的方法仅对直流或变化非常慢的输入信号有效。此外，为了实现 N 位有效分辨率，必须计数 $2N$ 个时钟周期，这将严重限制有效采样速率。

应注意，由于数字滤波器是 Σ - Δ 型 ADC 的一个重要组成部分，其固定的“流水线”延迟（有时称为“延迟时间”）主要取决于数字滤波器中的抽头数。 Σ - Δ 型 ADC 中的数字滤波器可能相当大（数百抽头），因此在多路复用应用中，延迟时间可能会变成一个问题，因为在切换通道之后必须留出足够的建立时间。

Σ - Δ 型 ADC 的频域分析和噪声整形

进一步进行时域分析的意义不大，而要清楚地说明噪声整形概念，最好是在频域内考虑简单的 Σ - Δ 型调制器模型，如图 6 所示。

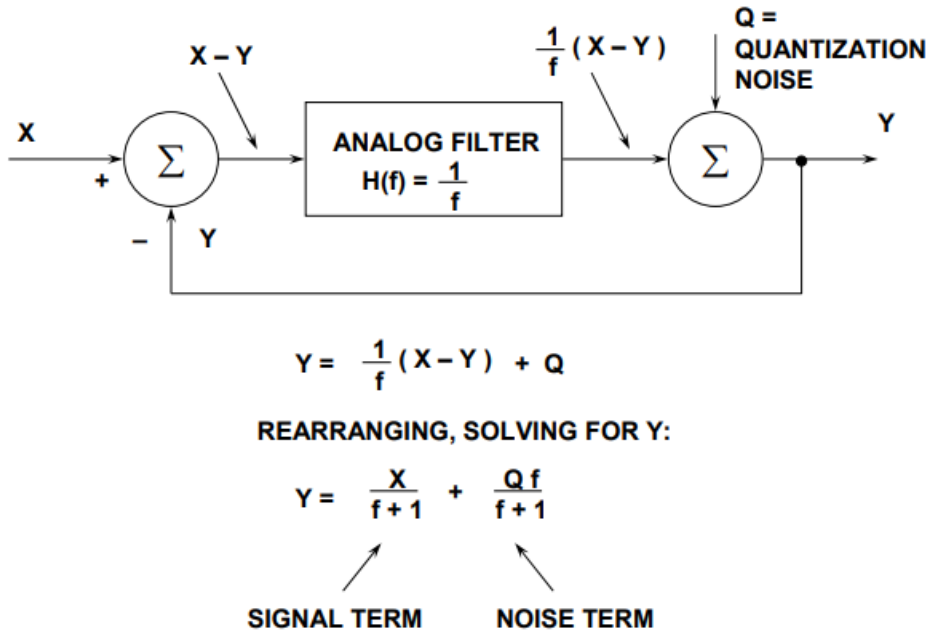


图 6. Σ - Δ 型调制器的简化频域线性化模型

调制器中的积分器表示为传递函数等于 $H(f)=1/f$ 的模拟低通滤波器。此传递函数具有与输入频率成反比的幅度响应。1 位量化器产生量化噪声 Q ，量化噪声 Q 被注入输出求和模块。如果我们以 X 表示输入信号并以 Y 表示输出，则输入加法器的信号输出为 $X-Y$ 。此信号与滤波器传递函数 $1/f$ 相乘，然后结果送入输出加法器的一路输入。可以看出，输出电压 Y 的表达式可以写作：

$$Y = \frac{1}{f}(X-Y) + Q \quad \text{等式 2}$$

此表达式经过简单地整理并求解 Y ，便可得到以 X 、 f 和 Q 表示的下列等式：

$$Y = \frac{X}{f+1} + \frac{Q \cdot f}{f+1} \quad \text{等式 3}$$

注意，当频率 f 趋近 0 时，输出电压 Y 趋近 X 且无噪声成分。在较高频率时，信号成分的幅度趋近 0，且噪声成分趋近 Q 。在高频时，输出主要由量化噪声组成。本质上，模拟滤波器对信号有低通效应，对量化噪声有高通效应。因此，模拟滤波器执行 Σ - Δ 型调制器模型中的噪声整形功能。对于给定输入频率，高阶模拟滤波器可提供更多衰减。只

要采取一定的防范措施，则 Σ - Δ 型调制器也同样如此。

通过在 Σ - Δ 型调制器中使用一个以上的积分和求和级，我们可以实现更高阶量化噪声整形并可针对给定过采样率取得更好的 ENOB，如图 7 所示为一阶和二阶 Σ - Δ 型调制器。

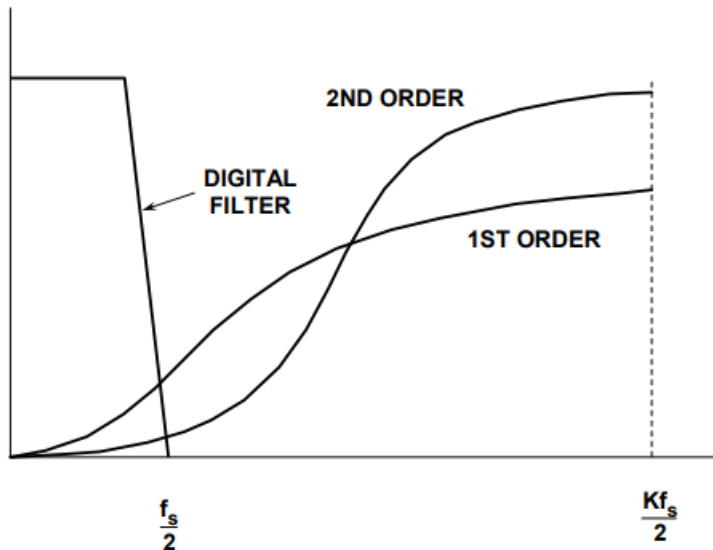


图 7. Σ - Δ 型调制器对量化噪声进行整形

二阶 Σ - Δ 型调制器的框图如图 8 所示。之前曾认为三阶及以上的 Σ - Δ 型 ADC 在输入为某些值时可能会出现不稳定。近期分析结果显示，比较器中使用有限增益而非无限增益时，并不一定会出现不稳定情况，但即使真的开始出现不稳定情况，还可以设置数字滤波器和抽取器中的 DSP 来识别初始不稳定性并做出反应来进行预防。

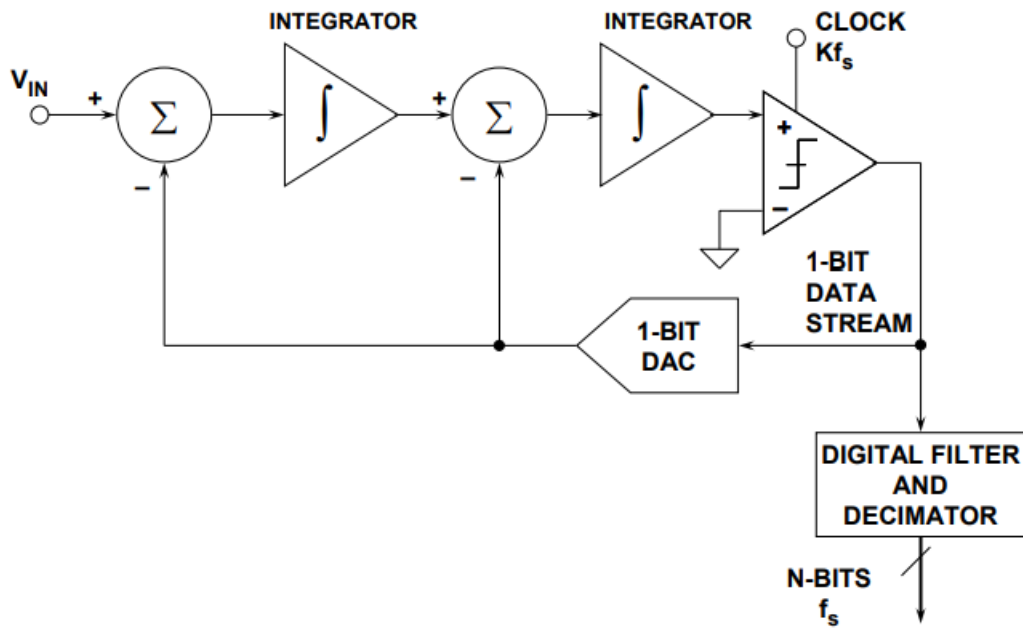


图 8. 二阶 Σ - Δ 型 ADC

图 9 显示的是 Σ - Δ 型调制器的阶数与实现特定 SNR 所需的过采样量之间的关系。例如，如果过采样率为 64，则理想的二阶系统能够提供约 80dB 的 SNR，这表示有效位数(ENOB)约为 13。虽然数字滤波器和抽取器的滤波可以达到任何需要的精度，但向外界提供 13 个以上的二进制位是没有意义的。增加的位不含有用的信号信息，并且除非采用后置滤波技术，否则将淹没于量化噪声中。通过增加过采样率和/或采用更高阶调制器，可以从 1 位系统获得额外分辨率。有关通常用于实现更高分辨率的其它方法（如多位 Σ - Δ 架构），请参见章节《ADC 架构 IV： Σ - Δ 型 ADC 高级概念和应用》。

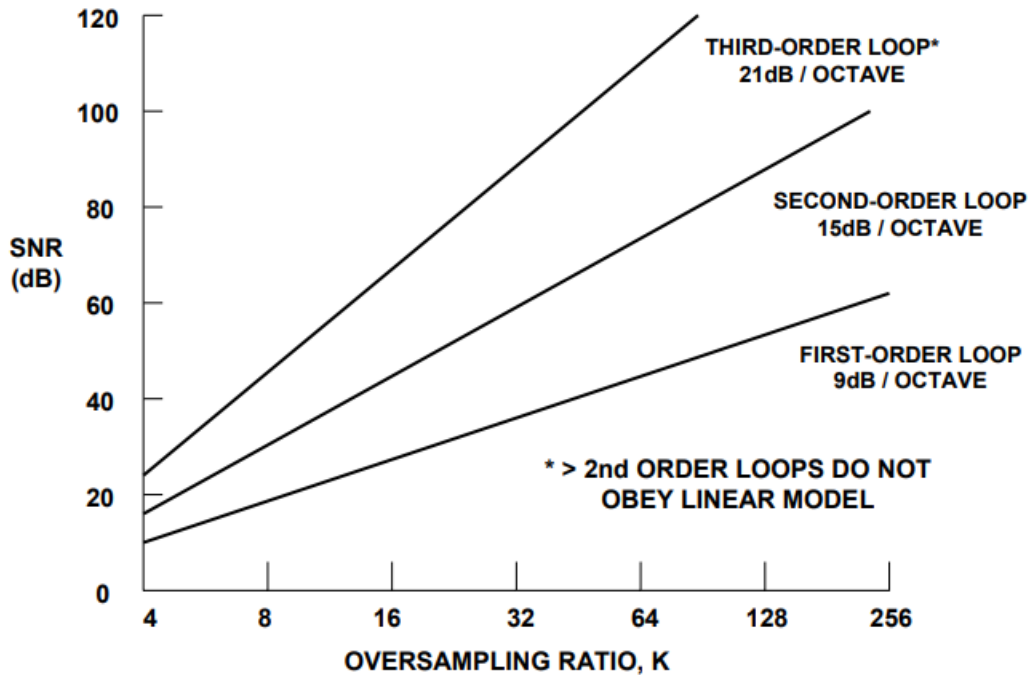


图 9. 一阶、二阶和三阶环路的 SNR 与过采样率之间的关系

总结

本章节从历史展望角度介绍了 Σ - Δ 型 ADC 的各种基础知识，包括过采样、数字滤波、噪声整形和抽取等重要概念。章节《ADC 架构 IV： Σ - Δ 型 ADC 高级概念和应用》将介绍一些更高级的概念和 Σ - Δ 型 ADC 的各种应用，如空闲音、多位 Σ - Δ 、MASH 和带通 Σ - Δ 。

ADC 架构 IV： Σ - Δ 型 ADC 高级概念和应用

上一章节《ADC 架构 III： Σ - Δ 型 ADC 基础》已论述了 Σ - Δ 型 ADC 的基本原理。本章节将介绍一些更高级的概念，包括空闲音、多位 Σ - Δ 、MASH、带通 Σ - Δ ，并提出一些示例应用。

空闲音考量

到目前为止，我们对 Σ - Δ 型 ADC 的讨论均假设 Σ - Δ 调制器（参见图 1）所产生的量化

噪声是随机的，并且与输入信号是不相关的。遗憾的是，事实并非完全如此，特别是对于一阶调制器。考虑这样一种情况：在一个 4 位 Σ - Δ 型 ADC 中，对调制器输出的 16 个样本求平均值。

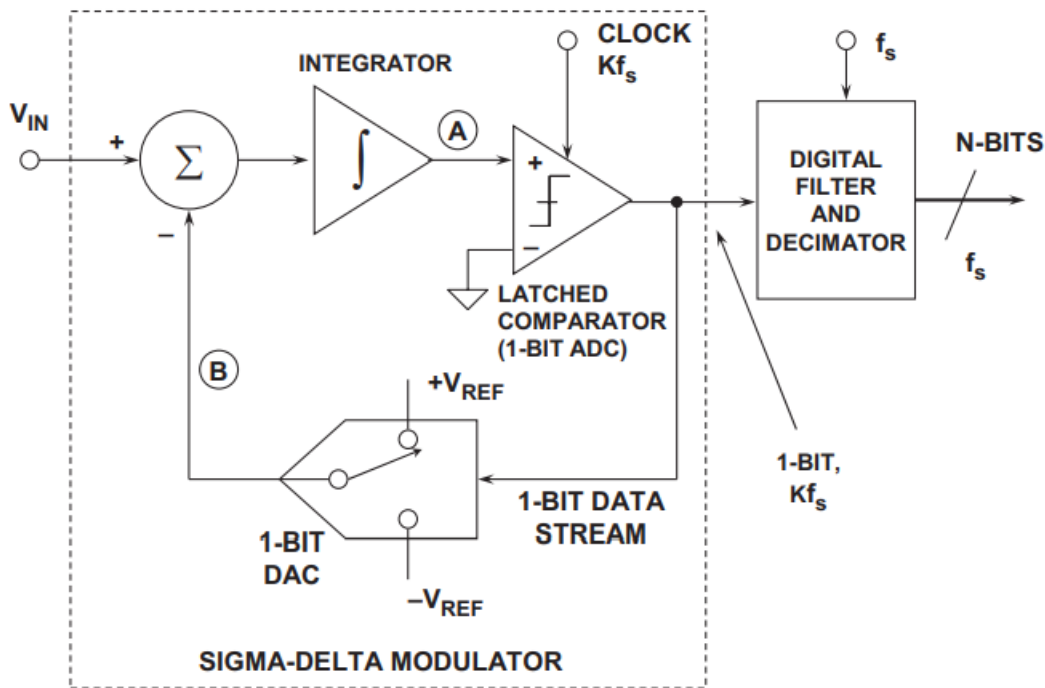


图 1. 一阶 Σ - Δ 型 ADC

图 2 显示了两种输入信号条件下的位模式：一种是输入信号的值为 $8/16$ ，另一种是输入信号的值为 $9/16$ 。对于 $9/16$ 信号，在调制器输出的位模式中，每隔 16 个输出有一个额外的“1”。这将在 $Kf_s/16$ 处产生能量，转化为干扰音。如果过采样比(K)小于 8，此音将落在通带以内。音频中，随着输入从负满量程变为正满量程，噪底之上便可听到空闲音。

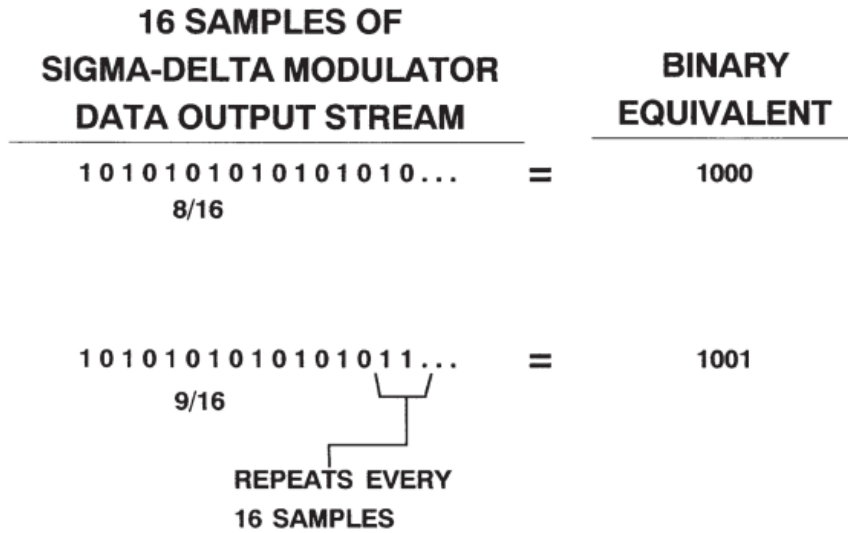


图 2. Σ - Δ 调制器输出中的重复位模式

图 3 显示了一阶 Σ - Δ 调制器的相关空闲模式特性，图 4 显示了二阶调制器的相对不相关的模式。因此，几乎所有 Σ - Δ 型 ADC 都至少含有一个二阶调制器环路，有些甚至使用五阶环路。

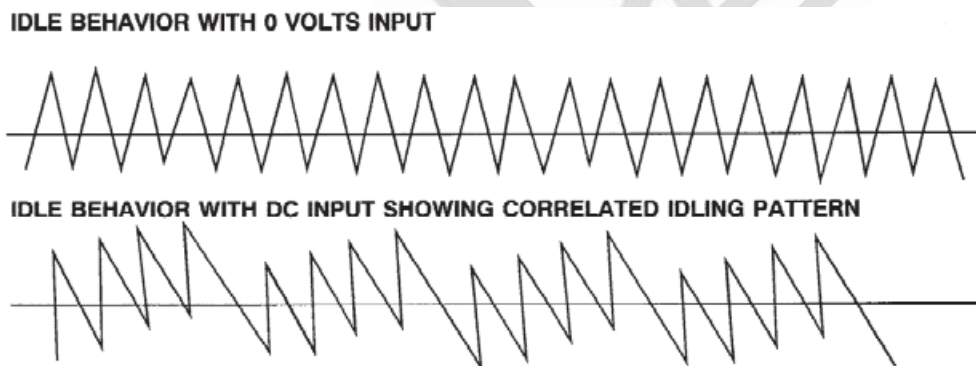


图 3. 一阶 Σ - Δ 调制器的空闲模式（积分器输出）

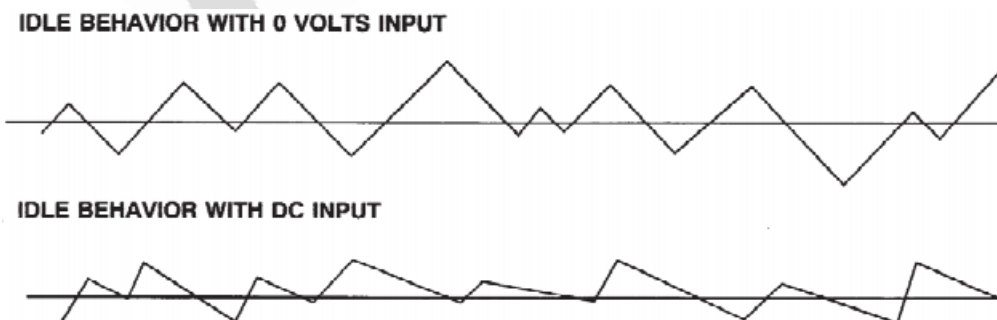


图 4. 二阶 Σ - Δ 调制器的空闲模式（积分器输出）

高阶环路考量

为了实现宽动态范围，必须使用二阶以上的 Σ - Δ 调制器环路，但这会带来切实的设计挑战。首先，前文讨论的简单线性模型不再完全准确。一般而言，二阶以上的环路无法保证在所有输入条件下都能保持稳定，原因在于比较器是一个非线性元件，其有效“增益”与输入电平成反比。这种不稳定机制会导致以下特性：如果在环路正常工作时，将一个大信号施加于输入，引起环路过载，则比较器的平均增益减小。在线性模型中，比较器增益的减小会导致环路不稳定。即使引起不稳定的信号被消除后，这种增益减小仍然会导致环路不稳定。

在实际操作中，上电瞬变所引起的初始条件一般会导致这种电路发生上电时振荡。ADI 公司 1994 年发布的 [AD1879](#) 双通道音频 ADC 使用五阶环路。该器件以及类似高阶环路设计需要广泛的非线性稳定技术。

多位 Σ - Δ 转换器

到目前为止，我们只考虑了包含 1 位 ADC（比较器）和 1 位 DAC（开关）的 Σ - Δ 转换器。图 5 的功能框图显示了一个使用 n 位 Flash ADC 和 n 位 DAC 的多位 Σ - Δ 型 ADC。对于给定的过采样比和环路滤波器阶数，这种架构显然能提供更高的动态范围。由于可以使用二阶环路，因此也更容易实现稳定。空闲模式更具随机性，因此干扰音影响更小。

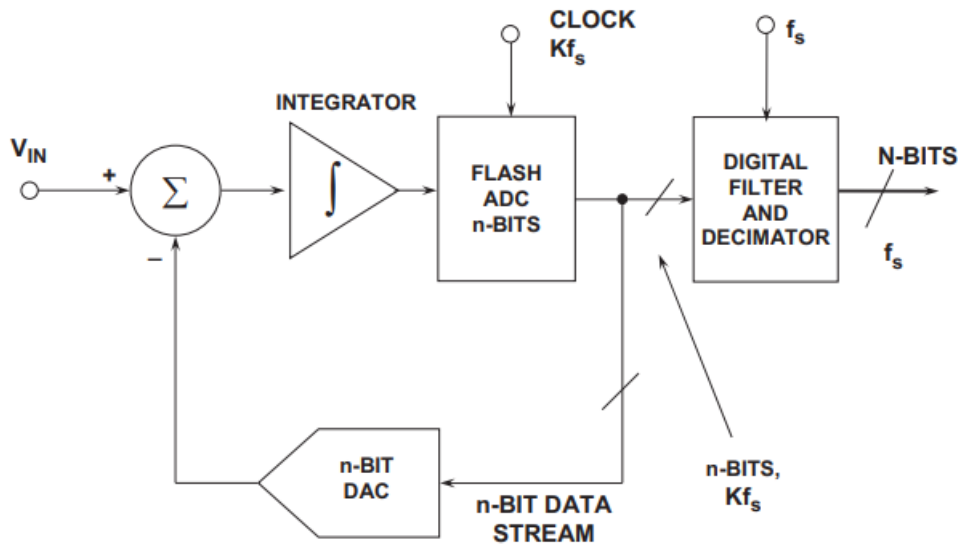


图 5. 多位 Σ - Δ 型 ADC

这种技术的最大缺点在于其线性度取决于 DAC 的线性度，并且需要采用薄膜激光调整才能达到 16 位性能水平。因此，要使用传统二进制 DAC 技术在混合信号 IC 上实现多位架构非常不切实际。

然而，使用多位架构时，完全解码温度计 DAC（参见章节《DAC 基本架构 I: DAC 串和温度计（完全解码）DAC》）结合许多 ADI 音频 ADC 和 DAC（包括 24 位立体声 [AD1871](#)）所使用的专有数据加扰技术，可以实现高 SNR 和低失真。多位数据加扰技术既可将空闲音降至最低，又可确保较佳的微分线性度。[AD1871](#) ADC 简化框图如图 6 所示。

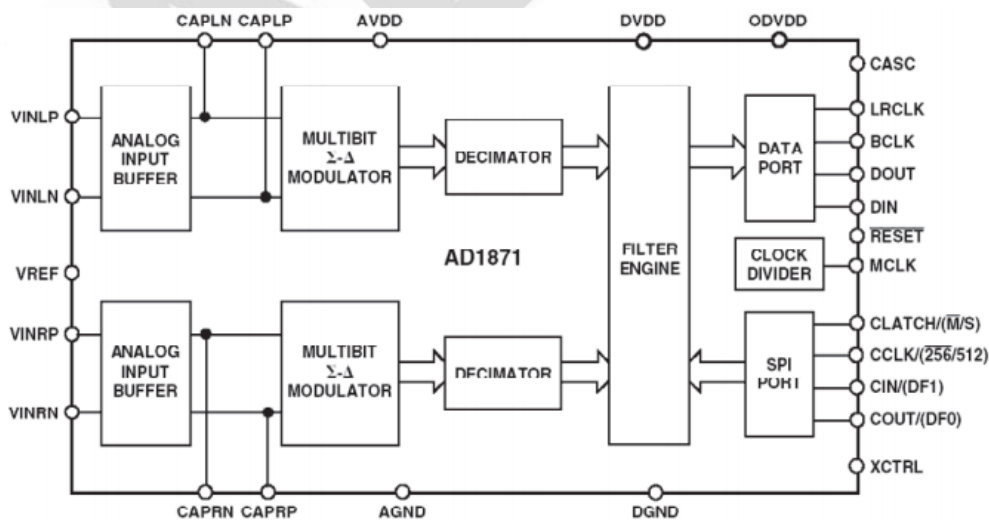


图 6. [AD1871](#) 24 位 96 kSPS 立体声音频多位 Σ - Δ 型 ADC

[AD1871](#) 的模拟 Σ - Δ 调制器部分包含二阶多位架构，使用 ADI 专有技术来实现最佳性能。如图 7 所示，两个模拟积分器模块之后是 Flash ADC 部分，该部分产生多位样本。

Flash ADC 的输出经温度计编码后执行二进制解码，以便输出至滤波器部分，再经加扰以回馈到两个积分器级。调制器经过优化，可在 6.144MHz 的采样速率下工作（在 48kHz 采样速率下为 $128 \times f_s$ ，96kHz 采样速率下为 $64 \times f_s$ ）。[AD1871](#) 的 A 加权动态范围通常为 105dB。

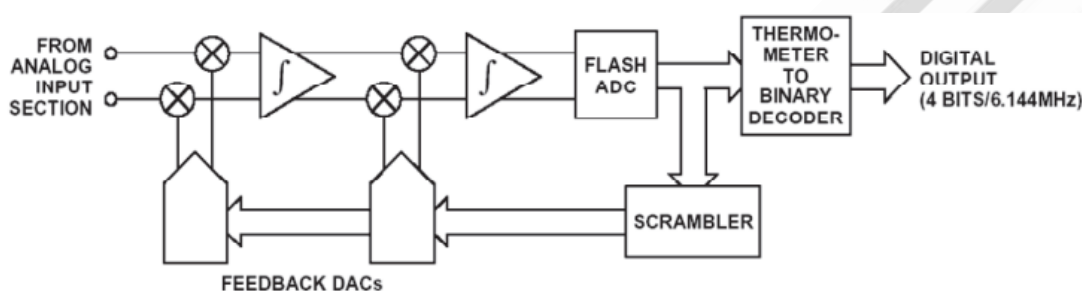


图 7. [AD1871](#) 二阶调制器和数据加扰器的详细信息

数字滤波器对多路复用应用的意义数字滤波器是所有 Σ - Δ 型 ADC 不可或缺的重要组成部分。滤波器建立时间会影响某些应用，特别是在多路复用应用中使用 Σ - Δ 型 ADC 时。如果相邻通道上的输入电压不同，多路复用器的输出可为 ADC 提供阶跃函数输入。事实上，当切换通道时，多路复用器输出可以提供 Σ - Δ 型 ADC 的满量程阶跃电压。因此，此类应用中必须留出充足的滤波器建立时间。这并不表示 Σ - Δ 型 ADC 不能用于多路复用应用，只是必须考虑到数字滤波器建立时间。实际上一些较新的 Σ - Δ 型 ADC 专为多路复用应用进行了优化。

例如，[AD1871](#) 数字滤波器中的群延迟为 910 μ s（以 48kSPS 采样）和 460 μ s（以 96kSPS 采样），代表阶跃函数输入穿过数字滤波器半数抽头所需的时间。所以总建立时间约为群延迟时间的两倍。两种条件下的输入过采样频率均为 6.144MSPS。[AD1871](#) ADC 中数字滤波器的频率响应曲线如图 8 所示。该滤波器使用有限脉冲响应(FIR)设计，因而在音频通带上具有线性相位。要使用模拟滤波器实现同样的性能，需要大量的设计工作和昂贵

的元件。

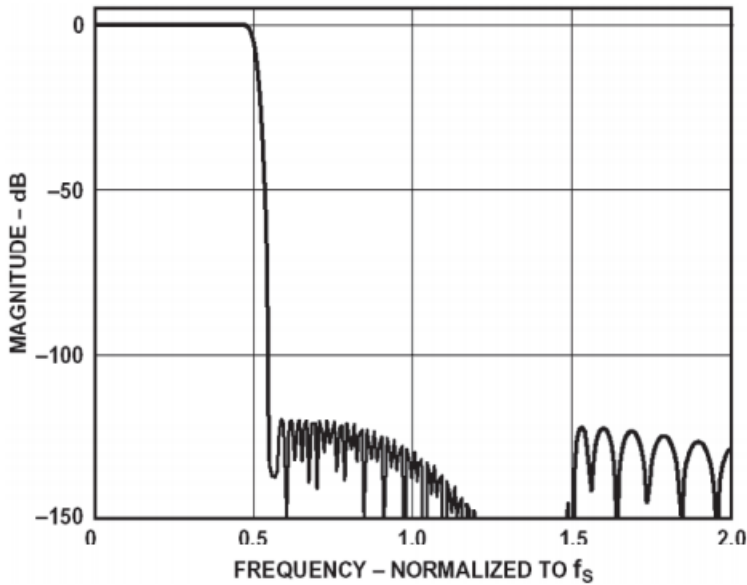


图 8. [AD1871](#) 24 位、96 kSPS 立体声 Σ - Δ 型 ADC 数字滤波器特性

在其他应用中，例如低频、高分辨率 24 位测量 Σ - Δ 型 ADC（如 AD77xx 系列），可以使用其他类型的数字滤波器。举例而言，SINC³ 响应很常见，因为它在吞吐速率的倍数下具有零点。10Hz 吞吐速率在 50Hz 和 60Hz 下可产生零点，对交流电力线路抑制很有帮助。

无论哪种数字滤波器， Σ - Δ 型 ADC 均要求在施加阶跃函数输入后留出充足的建立时间。

多级噪声整形(MASH) Σ - Δ 转换器

如前所述，非线性稳定技术对于三阶或更高环路可能很困难。许多情况下，最好使用多位架构。一种替代方法是将稳定的一阶环路级联起来，称为多级噪声整形(MASH)。图 9 显示了一个三级 MASH ADC 的框图。从第一个 DAC 输出中减去第一个积分器的输出，产生第一级量化噪声 Q_1 。然后，第二级对 Q_1 进行量化。从第二个 DAC 输出中减去第二个积分器的输出，产生第二级量化噪声，进而由第三级进行量化。

第一级的输出与第二级输出的一重数字微分和第三级输出的二重微分相加，产生最终输

出。因此，量化噪声 Q_1 被第二级抑制，量化噪声 Q_2 被第三级抑制，这与三阶环路的抑制效果相同。由于此结果是利用三个一阶环路获得的，因此可以确保电路稳定工作。

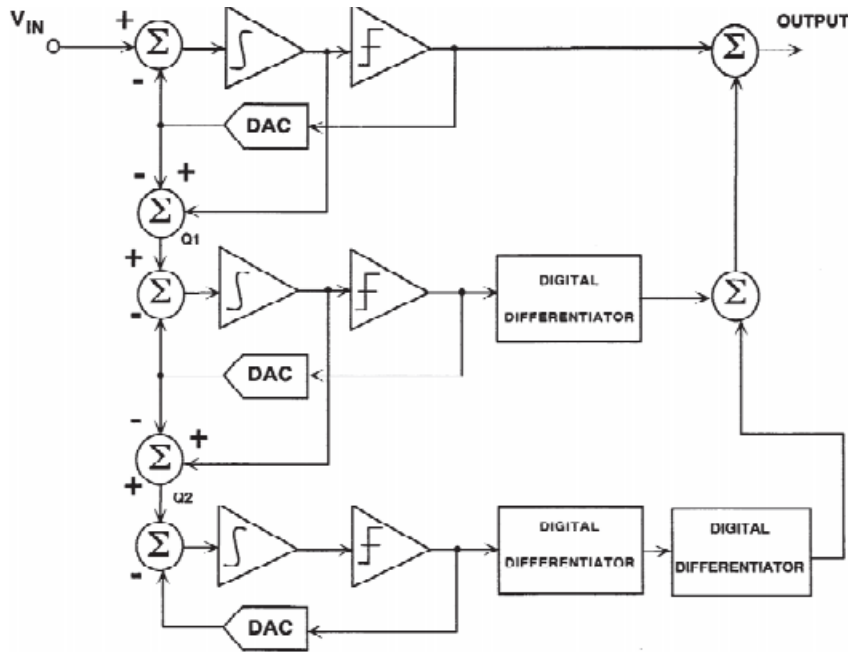


图 9. 多级噪声整形 Σ - Δ 型 ADC(MASH)

高分辨率测量 Σ - Δ 型 ADC 虽然较旧的积分架构（如双斜率）在数字电压表中仍有使用，CMOS Σ - Δ 型 ADC 是目前工业测量应用中的主要转换器。这些转换器提供极佳的 50Hz/60Hz 电力线路共模抑制和最高可达 24 位的分辨率，并附带各种数字功能，例如片内校准。许多转换器具有可编程增益放大器(PGA)，无需添加外部信号调理电路即可直接将来自桥式和热电偶传感器的小信号数字化。

为了更好地了解 Σ - Δ 测量 ADC 的能力和本技术的优点，下面将详细考察一项现代示例：24 位 [AD7799](#)。[AD7799](#) 是 AD77xx 系列的一员，如图 10 所示。该 ADC 专为直接与低电平传感器输出接口而设计，例如电子秤应用的电桥，可直接接受来自电桥的低电平信号，并输出串行数字字。三个差分输入经过多路复用和缓冲后驱动内部仪表放大器。仪表放大器可以设置为八种不同增益：1、2、4、8、16、32、64 和 128。

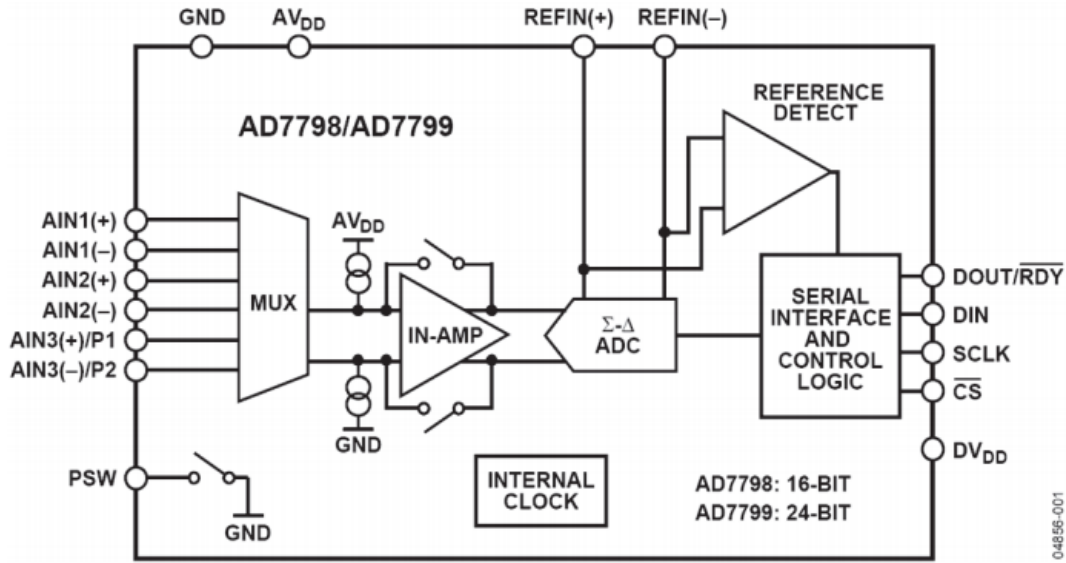


图 10. [AD7799](#) Σ - Δ 单电源桥式 ADC

图 11 显示了桥式称重传感器与高分辨率 Σ - Δ 型 ADC [AD7799](#) 间的直接连接。ADC 在 4.17Hz 的吞吐速率下将 10mV 的满量程电桥输出数字化为约 16 位的无噪声分辨率。因为使用比率运算则无需精密基准电压源。[AD7799](#) 可在 4.17Hz 至 500Hz 的吞吐速率下工作。该器件采用 2.7V 至 5.25V 电源供电，典型功耗为 380 μ A。

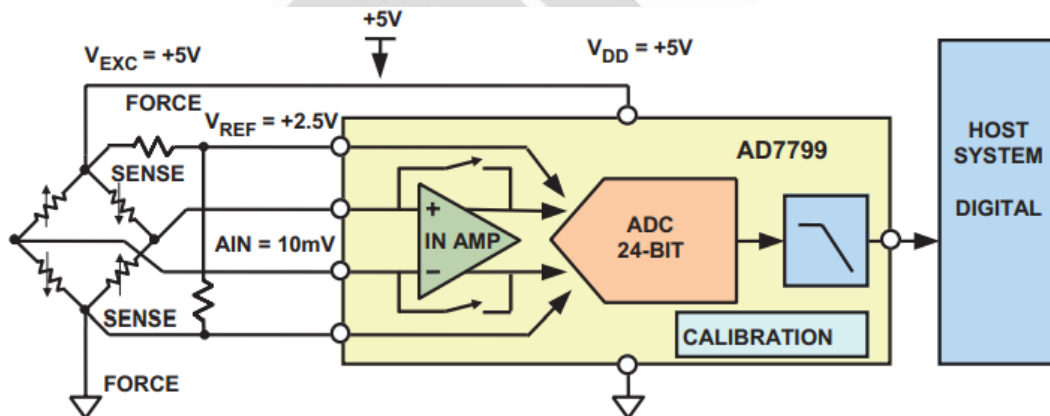


图 11. 称重传感器使用高分辨率 Σ - Δ 型 ADC 进行调理

带通 Σ - Δ 转换器

前面所述的 Σ - Δ 型 ADC 包含积分器，即低通滤波器，通带范围从直流开始。因此，量化噪声频率被推高。目前大多数商用 Σ - Δ 型 ADC 均属此类型（尽管一些针对音频或电

信应用的产品为消除系统直流失调而包含带通而不是低通数字滤波器)。不过,并不存在任何特殊原因要求 Σ - Δ 调制器的滤波器必须是LPF,虽然传统上ADC一直被视为基带器件,且积分器似乎比带通滤波器更易于构建。如果我们用带通滤波器(BPF)代替 Σ - Δ 型ADC中的积分器,如图12所示,量化噪声频率便会上下移动,从而在通带内留出一个几乎无噪声的区域。如果接着将数字滤波器的通带设置在此区域内,便得到具有带通而非低通特性的 Σ - Δ 型ADC。此类器件对直接中频数字转换、数字无线电、超声及其他欠采样应用非常有用。然而,调制器和数字BPF必须针对系统应用所需的特定频率集来设计,使该方法的灵活性受到一定限制。

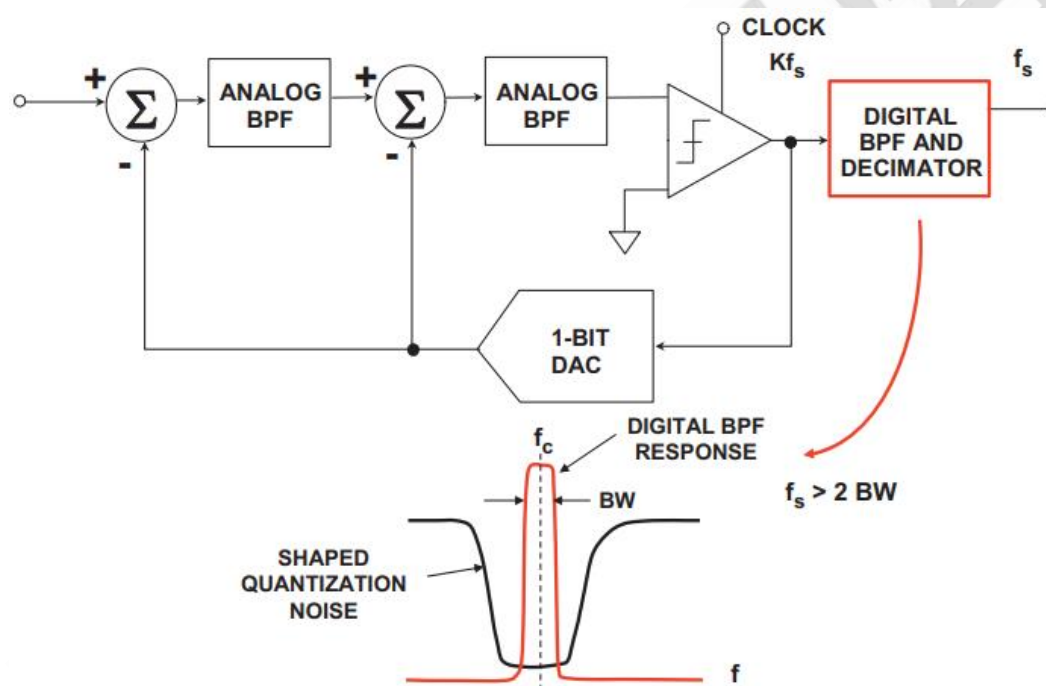


图 12. 用谐振器代替积分器, 实现带通 Σ - Δ 型ADC

在带通 Σ - Δ 型ADC的欠采样应用中,最低采样频率必须至少两倍于信号带宽BW。信号以载波频率 f_c 为中心。

典型数字无线电应用使用455kHz的中心频率和10kHz的信号带宽。过采样频率 $Kf_s=2\text{MSPS}$,输出速率 $f_s=20\text{kSPS}$,在信号带宽内产生70dB的动态范围。

带通 Σ - Δ 型ADC的早期示例是[AD9870](#)中频数字化子系统,它具有18MSPS的标称过采

样频率、2.25MHz 的中心频率和 10kHz 至 150kHz 的带宽。

[AD9874](#) 和 [AD9864](#) 均为通用中频子系统，可对带宽最高达 270kHz 的低电平 10-300MHz 中频信号进行数字化。信号链包含低噪声放大器、混频器、带通 Σ - Δ 型 ADC 和具有可编程抽取系数的抽取滤波器。AGC 电路提供 12dB 的连续增益调整。

总结

Σ - Δ 型 ADC 和 DAC 已延伸到许多现代应用中，包括测量、语音频带、音频等等。该技术充分利用低成本的 CMOS 工艺，从而与 DSP 之类的高度数字化功能顺利集成。多位数据加扰架构之类的现代技术将困扰早期 Σ - Δ 产品的空闲音问题降至最低。目前可提供最高达 24 位的分辨率，对模拟抗混叠/抗镜像滤波器的要求由于过采样而大大降低。音频 Σ - Δ 型 ADC 的内部数字滤波器可设计用于线性相位，这是此类应用中的主要要求。对于专为测量应用设计的高分辨率 Σ - Δ 型 ADC，数字滤波器一般设计成在 50Hz 和 60Hz 的电源干线频率下产生零点。

许多 Σ - Δ 转换器在输出数据速率、数字滤波器特性和自校准模式方面提供高水平的用户编程能力。多通道 Σ - Δ 型 ADC 现在已可用于数据采集系统，大多数用户在这些应用中可以熟练地应付内部数字滤波器的建立时间要求。

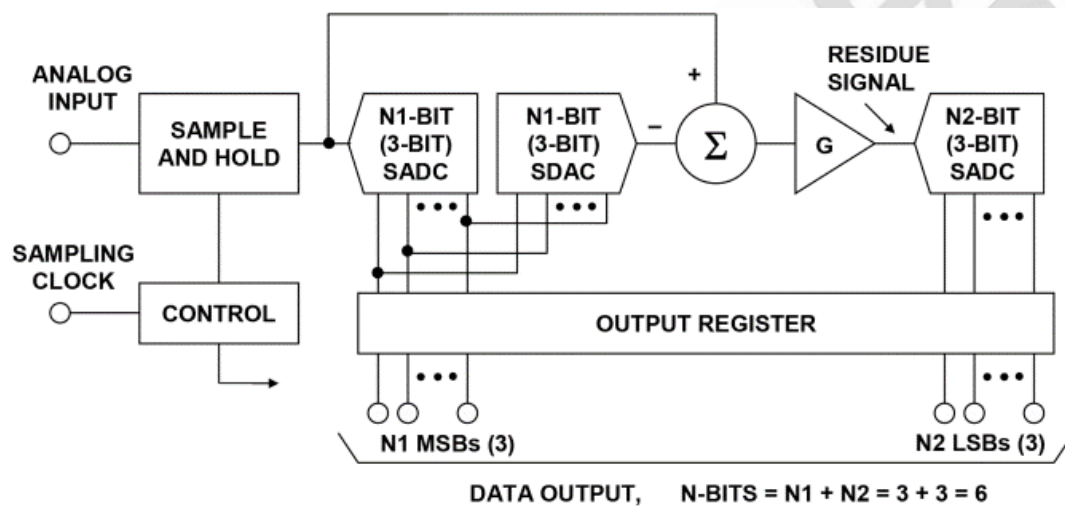
ADC 架构 V：流水线式分级 ADC

目前对于需要 5MSPS 至 10MSPS 以上采样速率的应用，流水线式分级 ADC 架构占优势。尽管 flash（全并行）架构（参见章节《ADC 架构 I：Flash 转换器》）在上世纪 80 年代和 90 年代早期主导 8 位视频 ICADC 市场，但现代应用中流水线式架构已大面积取代 Flash ADC。也有少量采样速率高于 1GHz 的高功率砷化镓(GaAs)工艺 Flash 转换器，但分辨率仅限于 6 或 8 位。不过，Flash 转换器仍然是较高分辨率流水线式 ADC 的常用构建模块。

流水线式 ADC 的应用包括视频、图像处理、通信和各种其他应用。该架构有助于较低成本的 IC 工艺，最常见的有 CMOS 和 BiCMOS。目前的技术在高于 100MSPS 的采样速率下可产生 12 至 16 位分辨率。

基本分级 ADC 架构

流水线式 ADC 源于上世纪 50 年代首次使用的分级架构，该架构用于减少隧道二极管和真空管 Flash ADC 中的元件数和功率。分级架构的框图如图 1 所示，其中显示了一个 6 位、二级 ADC。



See: R. Staffin and R. Lohman, "Signal Amplitude Quantizer,"
U.S. Patent 2,869,079, Filed December 19, 1956, Issued January 13, 1959

图 1. 6 位、二级分级 ADC

通过第一级 3 位子 ADC(SADC)——Flash 转换器，将输入采样保持电路(SHA)的输出数字化。接着使用 3 位子 DAC(SDAC)将粗略 3 位 MSB 转换结果转换回至模拟信号。SDAC 输出则从 SHA 输出减除，经放大后施加于第二级 3 位 SADC。接着通过 3 位第二级 SADC 数字化“残余信号”，从而产生总共 6 位输出字的三个 LSB。此类型的 ADC 通常称为“分级”ADC，因为输入范围细分为若干个较小范围（子范围），这些较小范围又可进一步细分。

通过考察第二级 ADC 输入端的残余波形，可对此分级 ADC 执行最佳分析，如图 2 所示。

该波形假定整体 ADC 接收的是低频斜坡输入信号。为了确保无失码，残余波形必须恰好填满第二级 ADC 的输入范围，如图 2A 的理想情况所示。这意味着 N1SADC 和 N1SDAC 的精度必须均优于 $N1+N2$ 位，所示例子中， $N1=3$ ， $N2=3$ ， $N1+N2=6$ 。如图所示，该架构可用于最高约 8 位的分辨率($N1=N2=4$)，但在两级间维持 8 位以上的对准（具体而言是在温度变化范围内）可能不易做到。图 2B 所示情况在残余波形超出 N2SADC 的范围“R”且落在“X”或“Y”区域内时（由非线性 N1SADC 或级间增益和/或失调不匹配导致）会造成失码。

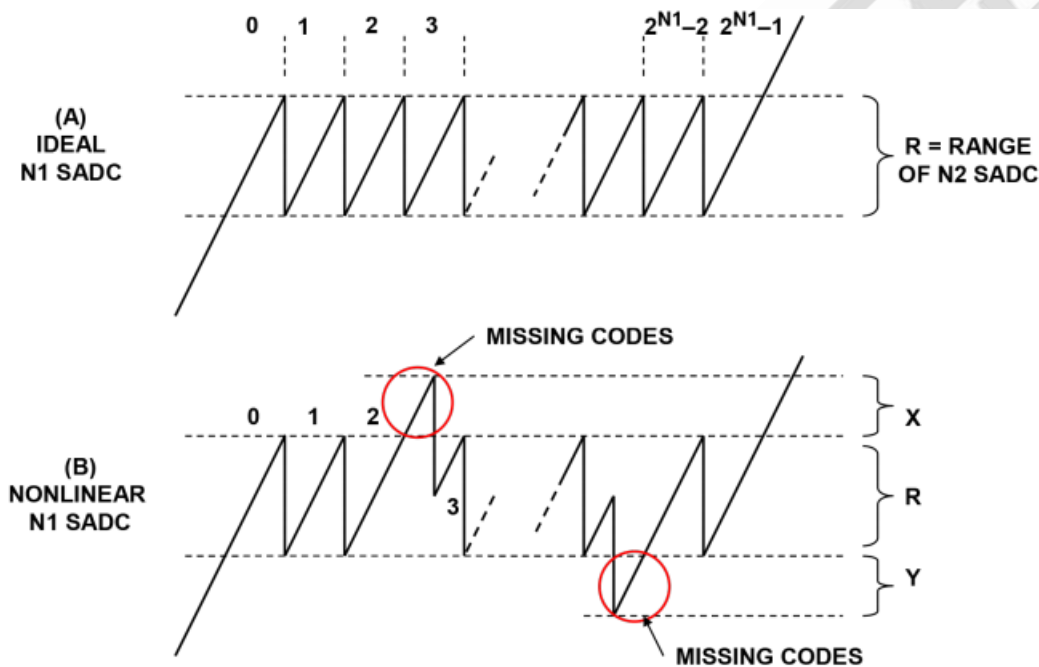


图 2. 第二级 SADC 输入端的残余波形

当级间对准不准确时，失码会出现在整体 ADC 传递函数中，如图 3 所示。如果残余信号进入正超量程（“X”区域），输出首先“粘贴”在代码上，然后“跳过”一个区域并留下失码。如果残余信号进入负超量程，则结果与此相反。

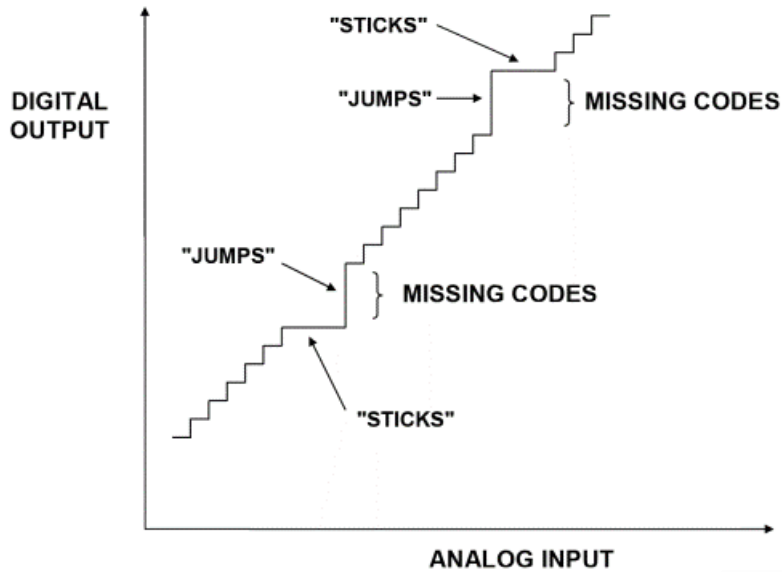


图 3. 由于 MSB SADC 非线性或级间对准误差引起的失码

此时应注意，分级架构中并不存在特殊原因要求每级位数必须相等（某些设计问题除外，但不在本文讨论范围内）。此外，级数可以超过两个。无论如何，除非增加某种形式的纠错，图 1 所示架构限于约 8 位分辨率。

图 4 显示了常用的 8 位 15MSPS 分级 ADC，由 Computer Labs, Inc. 于 20 世纪 70 年代中期制造。此转换器是基本的二级分级 ADC，采用两个 4 位 Flash 转换器，每个转换器由 8 个双通道 AM687 高速比较器组成。级间失调调整电位计允许现场对传递函数进行优化。该 ADC 在早期数字视频产品中很常用，例如帧存储器和时基校正器。

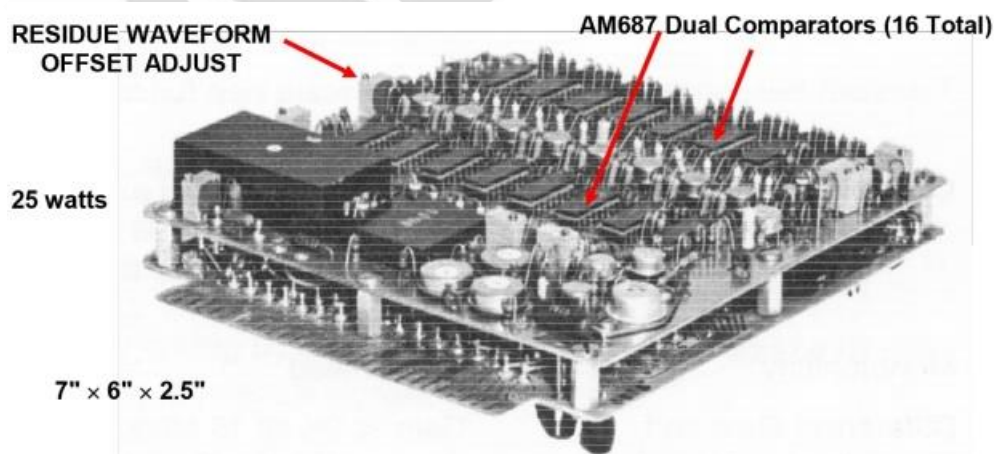


图 4. MOD-815，8 位、15 MSPS 4×4 分级 ADC，1976 年 Computer Labs, Inc. 制造

使用数字纠错的分级 ADC 为了以分级法可靠地实现高于 8 位的分辨率，业界采用了一种技术，通常称为数字校正分级、数字纠错、重叠位、冗余位等等。该方法最早可追溯至 1964 年，由 T. C. Verster 正式提出，随后得到迅速传播和采用。图 5 使用残余波形显示了基本概念。

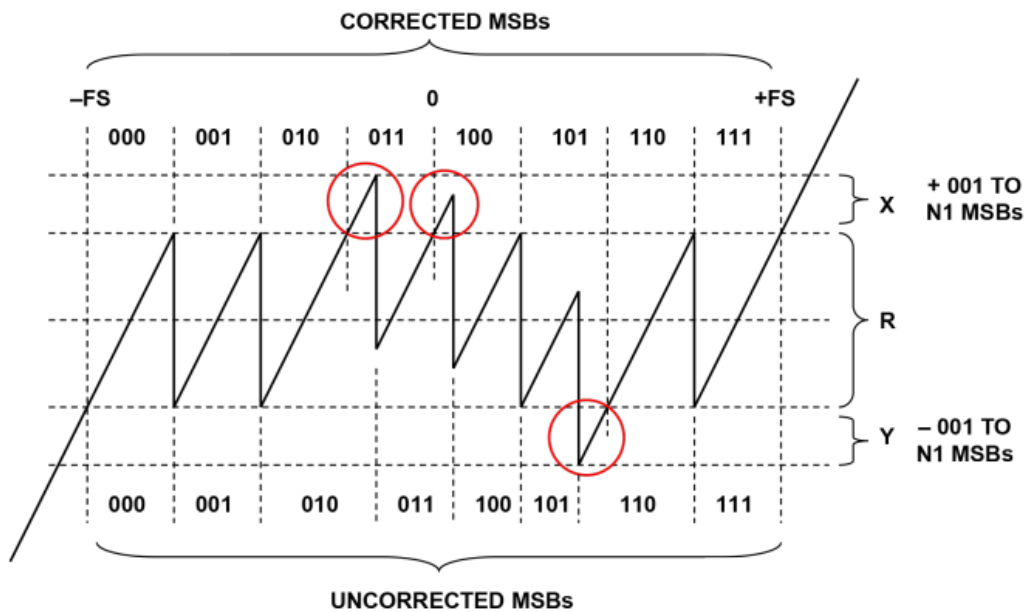


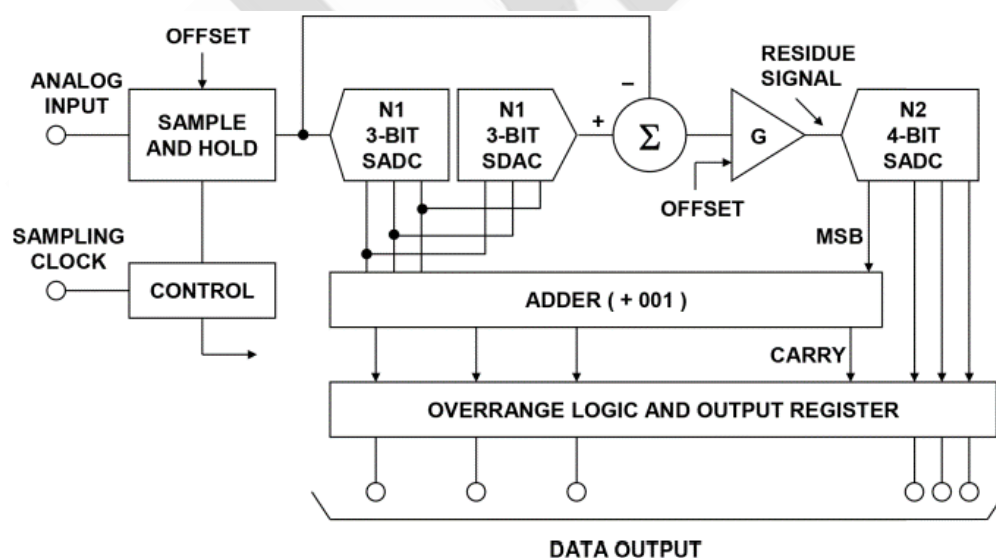
图 5. 对 $N1=3$ 使用更高量化级数的纠错

残余波形显示的是 $N1=3$ 位的特定情况。在标准分级 ADC 中，残余波形必须恰好填满 $N2SADC$ 的输入范围，即必须处于称为 R 的区域内。失码问题通过在正超量程区域 X 和负超量程区域 Y 内添加额外量化电平来解决。这些附加电平需要在基本 $N2$ flash SADC 内添加比较器。具体方案如下：一旦残余波形进入 X 区域， $N2$ SADC 应立即返回全零状态，重新开始递增计数。另外，必须给 $N1$ SADC 的输出添加代码 001，以使 MSB 读取正确代码。图示在波形下部标示了未校正的 MSB 区域，在波形上部标示了已校正的 MSB 区域。残余波形进入负超量程区域 Y 时发生类似情况。此时 Y 区域内的第一量化电平产生全一代码，且额外超量程比较器应使计数递减。Y 区域内，必须从 MSB 减除代码 001，以产生已校正的 MSB 代码。必须了解，为了让此校正方法正常工作， $N1$ SDAC 必须比 ADC 的总分辨率更加精确。 $N1$ SDAC 的非线性度或增益误差会影响残余波形垂直“跳跃”

部分的幅度，从而可能产生输出失码。

Horna 在 1972 年的一篇文章中介绍了一种实验型 8 位 15MSPS 纠错式分级 ADC，使用摩托罗拉 MC1650 双通道 ECL 比较器作为 Flash 转换器构建模块。Horna 在第二个 Flash 转换器中添加了额外比较器，并详细说明了此程序。他指出通过给残余波形添加适当失调，避免负超量程条件，可以显著简化校正逻辑。这样便无需减法函数，仅需要加法器。MSB 可不经修改直接通过，或者添加 1 LSB（相对于 N1 SADC），具体取决于残余信号是在范围内还是超量程。

现代数字校正分级 ADC 一般使用内部 ADC 和更高分辨率的 N2 SADC 来获得额外量化电平。例如，如果给 N2 SADC 添加一个额外位，其范围加倍，则残余波形可能超出范围两端 $\frac{1}{2}$ LSB（以 N1 SADC 为基准）。给 N2 添加两个额外位则使残余波形超出范围两端 $1\frac{1}{2}$ LSB（以 N1 SADC 为基准）。残余波形使用 Horna 的技术施加失调，因此仅需要简单的加法器就能执行校正逻辑。工作原理的详情无法直接阐明，但可以通过 6 位 ADC 的实际示例予以最佳解释，该 ADC 使用 3 位 MSBS ADC 和 4 位 LSBS ADC 提供一位纠错。示例 ADC 的功能框图如图 6 所示。



SEE: T. C. Verster, "A Method to Increase the Accuracy of Fast Serial-Parallel Analog-to-Digital Converters," *IEEE Transactions on Electronic Computers*, EC-13, 1964, pp. 471-473

图 6.6 6 位分级纠错 ADC，N1=3，N2=4

通过输入采样保持电路后，信号由 3 位 SADC 数字化，由 3 位 SDAC 重构，从被保持的模拟信号中减除，然后放大并施加于第二个 4 位 SADC。放大器增益 G 经恰当选择，使得残余波形占据 4 位 SADC 输入范围的 $\frac{1}{2}$ 。6 位输出数据字的 3 LSB 直接从第二 SADC 到达输出寄存器。4 位 SADC 的 MSB 控制加法器是否向 3 MSB 添加 001。加法器的进位输出与一些简单的超量程逻辑配合使用，以防止输入信号超出 ADC 正量程时输出位返回全零状态。

现在将详细考察满量程斜坡输入的残余波形，以解释校正逻辑的工作原理。图 7 显示了理想残余波形，假定第一 ADC 具有完全线性度，且两级间具有完美对准。请注意，残余波形恰好占据 N2 SADC 范围的 $\frac{1}{2}$ 。N2 SADC 的 4 位数字输出显示于图示左侧。图示底部显示由 3 位未校正 N1 SADC 定义的区域。图示顶部显示由 3 位已校正 N1 ADC 定义的区域。

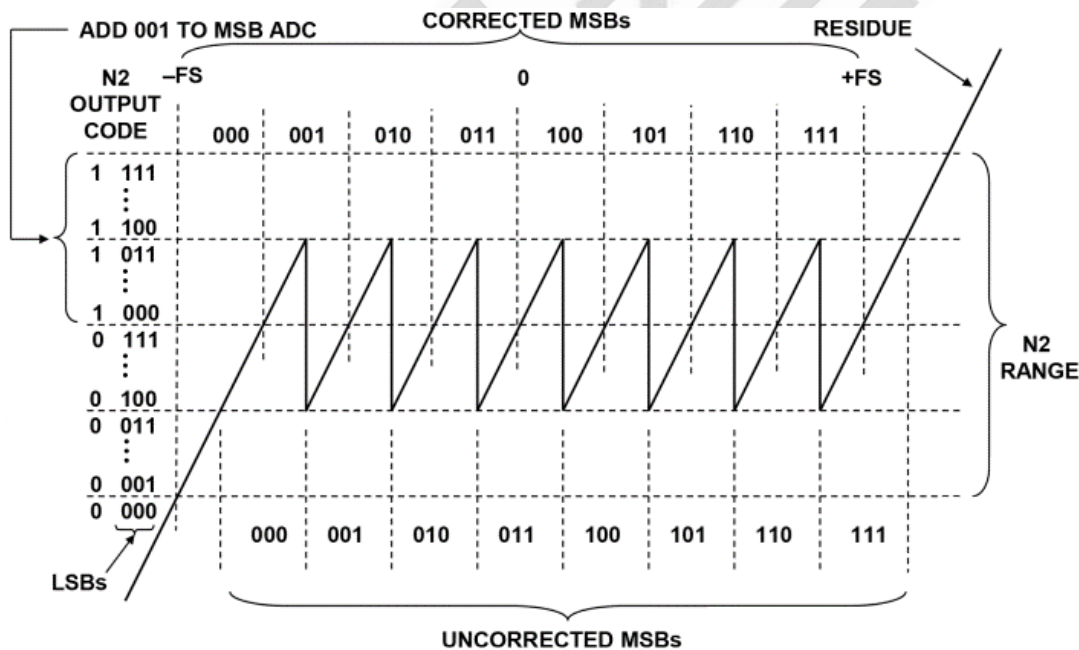


图 7.6 位交错分级 ADC 的残余波形，N1=3，N2=4，理想 MSB SADC

从左至右观察残余波形，输入在 -FS 下首次进入总体 ADC 范围时，N2 SADC 开始从 0000 递增计数。N2 SADC 到达 1000 代码时，将 001 添加至 N1 SADC 输出，使输出从 000 变更为 001。随着残余波形继续增加，N2 SADC 继续递增计数，直至到达代码 1100，此时

N1 SADC 切换至下一电平，SDAC 切换并使残余波形向下跳至 0100 输出代码。由于 N2 SADC 的 MSB 为零，加法器现在被禁用，所以 N1 SADC 输出保持 001。残余波形接着继续通过每个剩余区域，直至到达+FS。

此一方法具有一些巧妙特性值得注意。首先，总体传递函数以 MSB SADC 为基准偏移 $\frac{1}{2}$ LSB（以总体 ADC 模拟输入为基准则为 $\frac{1}{16}$ FS）。通过向输入采样保持电路注入失调电压，可以轻松校正该偏移。众所周知，内部 N1 SADC 和 SDAC 切换的点最可能具有额外噪声，且最可能在总体 ADC 传递函数内建立微分非线性。函数偏移 $\frac{1}{16}$ 可以确保零伏特模拟输入附近的低电平信号（小于 $\pm \frac{1}{16}$ ）不会出现重要切换点，并且提供对通信应用至关重要的低噪声和出色的 DNL。最后，由于理想残余信号中心位于 N2 SADC 的范围内，N2 SADC 提供的额外范围在 N1 SADC 转换中最多允许 $\pm \frac{1}{16}$ FS 的误差，同时仍可保持无失码。

图 8 显示了一个残余信号，此时 N1 SADC 内存在误差。请注意，残余信号提供的总体 ADC 线性度不受影响，仍保持在 N2 SADC 的范围内。只要满足此条件，所述纠错方法就能校正下列误差：采样保持下降误差、采样保持建立时间误差、N1 SADC 增益误差、N1 SADC 失调误差、N1 SDAC 失调误差、N1 SADC 线性度误差、余量放大器失调误差。尽管具有校正以上所有误差的能力，应强调的是该方法无法校正与 N1 SDAC 相关的增益和线性度误差或者余量放大器内的增益误差。这些参数的误差以总体分级 ADC 的 N 位为基准必须小于 1LSB。可从另一方面认识该要求：以 N2 SADC 输入为基准，残余波形垂直“跳跃”转换的幅度（对应于 N1 SADC 和 SDAC 变化电平）必须保持在 $\pm \frac{1}{2}$ LSB 以内，以便通过校正防止失码。

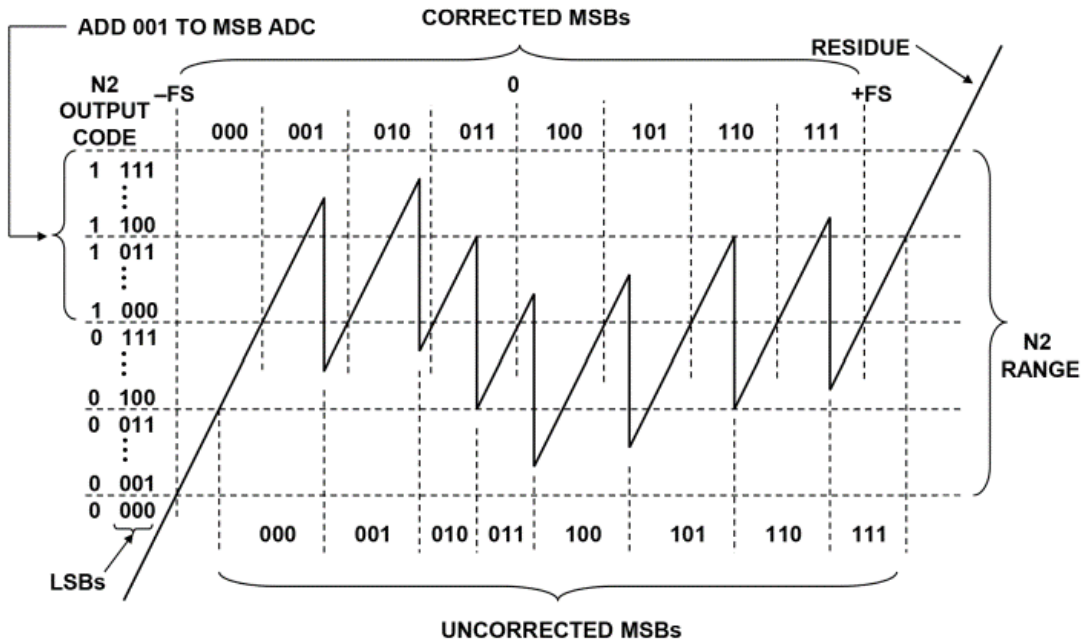


图 8.6 位纠错分级 ADC 的残余波形， $N_1=3$ ， $N_2=4$ ，非线性 MSB SADC

图 6 所示的纠错分级 ADC 无“流水线”延迟。输入 SHA 在以下事件发生期间处于保持模式：第一级 SADC 做出决策，输出由第一级 SDAC 重构，SDAC 输出从 SHA 输出减除、放大并由第二级 SADC 数字化。数字数据通过纠错逻辑和输出寄存器后即可使用，转换器准备好接收另一采样时钟输入。

流水线式分级 ADC 提高速度

图 9 所示的流水线式架构是数字校正分级架构，其中每一级在一半采样时钟周期内处理数据，然后在下半个周期前将残余输出传递至流水线内的下一级。级间采样保持(T/H)电路用作模拟延迟线，时序设置成当第一级转换完成时进入保持模式。这样便为内部 SADC、SDAC 和放大器提供更多建立时间，并且允许流水线式转换器在远高于非流水线式转换器的总体采样速率下工作。

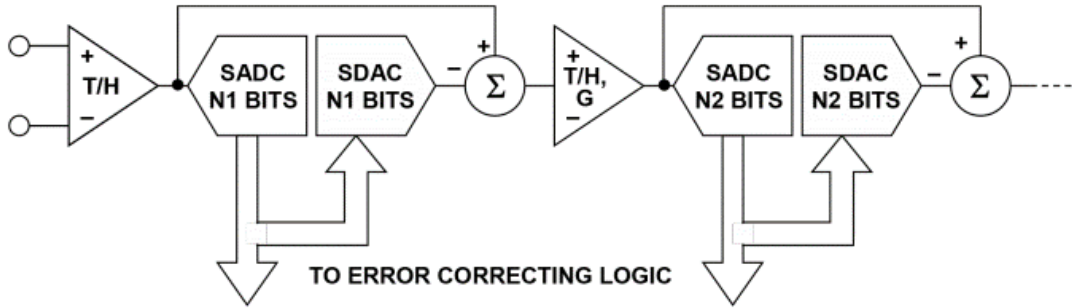


图 9. 可纠错分级 ADC 内的一般化流水线级

术语“流水线式”架构表示某一级能够在采样时钟周期的任何给定相位期间处理前一级的数据。在特定时钟周期每一相位的末端,使用 T/H 函数将给定级的输出传递至下一级,并将新数据移入该级。当然,这意味着除“流水线”最后一级外,所有级的数字输出必须存储在适当数目的移位寄存器内,使得到达校正逻辑的数字数据对应于同一样本。

图 10 显示了一个典型流水线式分级 ADC 的时序图。请注意,进入 T/H 放大器的时钟相位随级而交替,因此当 ADC 内的特定 T/H 进入保持模式时便保持前一 T/H 的样本,而前一 T/H 返回跟踪模式。被保持的模拟信号沿着级向前传递,直至到达流水线式 ADC 内的最终级,在本例中即 Flash 转换器。当以高采样速率工作时,差分采样时钟务必保持在 50% 占空比,以便实现最佳性能。非 50% 的占空比会影响信号链内的所有 T/H 放大器,一些放大器将具有大于最佳值的跟踪时间或小于最佳值的保持时间;而另一些情况恰好相反。许多较新的流水线式 ADC (包括 12 位、65MSPS [AD9235](#) 和 12 位 170/210MSPS [AD9430](#)) 具有片内时钟调理电路,可以控制内部占空比并保持额定性能,即使外部时钟占空比存在一些变化。

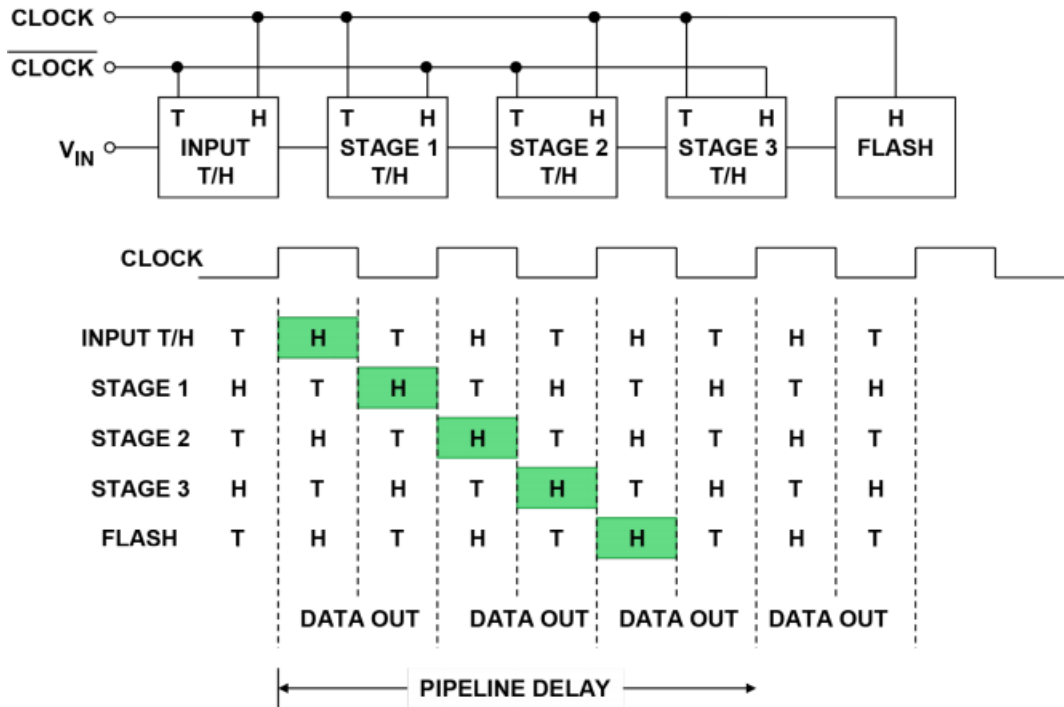


图 10. 流水线式 ADC 内的时钟问题

图 11 针对 12 位 65 MSPS ADC [AD9235](#) 显示输出数据内的“流水线”延迟（有时称为“延迟时间”）效应，其中存在 7 时钟周期的流水线延迟。

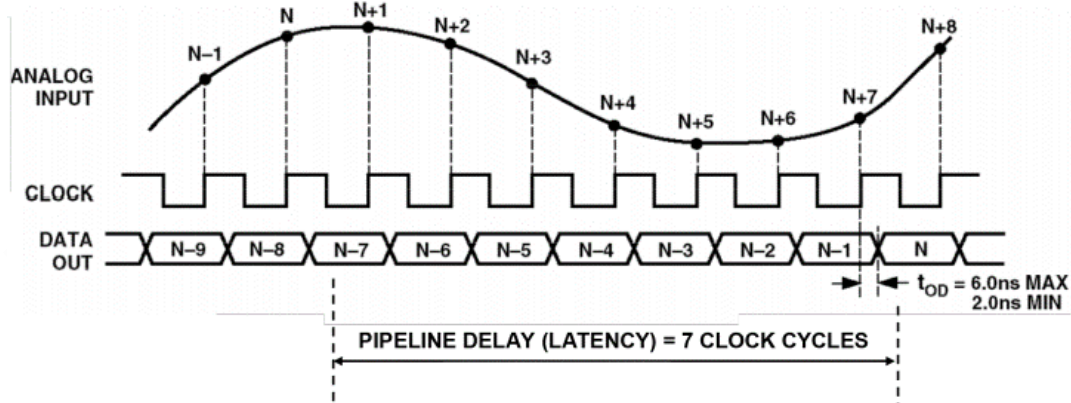


图 11. 12 位、65 MSPS ADC [AD9235](#) 的典型流水线式 ADC 时序

请注意，流水线延迟与级数以及所考虑 ADC 的特定架构成函数关系，有关采样时钟与输出数据时序间的关系详情，请务必查阅数据手册。许多应用中，流水线延迟不成问题，但如果 ADC 位于反馈环路内部，流水线延迟可能造成不稳定。在多路复用应用中或以“单发”模式操作 ADC 时，流水线延迟也可能带来麻烦。对于这些类型的应用，其他

ADC 架构更合适，例如逐次逼近型。

大多数 CMOS 流水线式 ADC 的一个细微问题是低采样速率下的性能。由于内部时序一般由外部采样时钟控制，极低采样速率会使内部采样保持电路的保持时间延长，以致过度下降造成转换误差。因此，大多数流水线式 ADC 具有针对最小以及最大采样速率的规格。显然，这使得此类器件不能用于单发或突发模式应用，这些应用中 SAR ADC 架构更合适。

业界常常错误地假定所有分级 ADC 均为流水线式，所有流水线式 ADC 均分级。虽然为了尽可能实现最大采样速率，大多数现代分级 ADC 确实是流水线式，但在设计用于更低速度时却不一定是流水线式。例如，采样时钟前沿可以启动转换过程，继续转换所需的任何额外时钟脉冲可以使用片内时序电路在 ADC 内部生成。在转换过程末端，可以生成转换结束或数据就绪信号，作为对应于该特定采样沿的数据有效的外部指示。去除流水线式结构显然会大幅降低总体采样速率，因此“无延迟”方法不常使用。

相反地，一些未使用分级架构的 ADC 也是流水线式。例如，除与并联比较器相关的锁存器外，大多数 Flash 转换器使用另外一组输出锁存器，这会为输出数据带来流水线延迟（参见章节《ADC 架构 I：Flash 转换器》）。一般具有较多流水线延迟的非分级架构还有 Σ - Δ 架构，在章节《ADC 架构 III： Σ - Δ 型 ADC 基础》和《ADC 架构 IV： Σ - Δ 型 ADC 高级概念和应用》中有详细说明。不过请注意，可以修改正常 Σ - Δ 型 ADC 的时序，降低输出数据速率，从而得到“无延迟”的 Σ - Δ 型 ADC。

循环分级流水线式 ADC

另一不太常用的纠错分级架构类型是循环分级 ADC。图 12 显示了这一架构，由 Kinniment 等人在 1966 年的一篇文章中提出。此概念类似于前文讨论过的纠错分级架构，但该架构中残余信号使用开关和可编程增益放大器(PGA)在单个 ADC 和 DAC 级中循环。图 12 显示了存储每次转换获得的流水线式数据所需的额外缓冲寄存器，以便使进入校正逻辑

(加法器) 的数据对应于相同样本。图 12 所示的循环架构类似于 20 世纪 90 年代早期推出的一些集成电路 ADC，例如 [AD678](#) (12 位、200kSPS) 和 [AD679](#) (14 位、128kSPS)。目前，使用逐次逼近型架构（《ADC 架构 II：逐次逼近型 ADC》章节予以论述），可以更经济高效地实现具有同样分辨率和采样速率的 ADC。

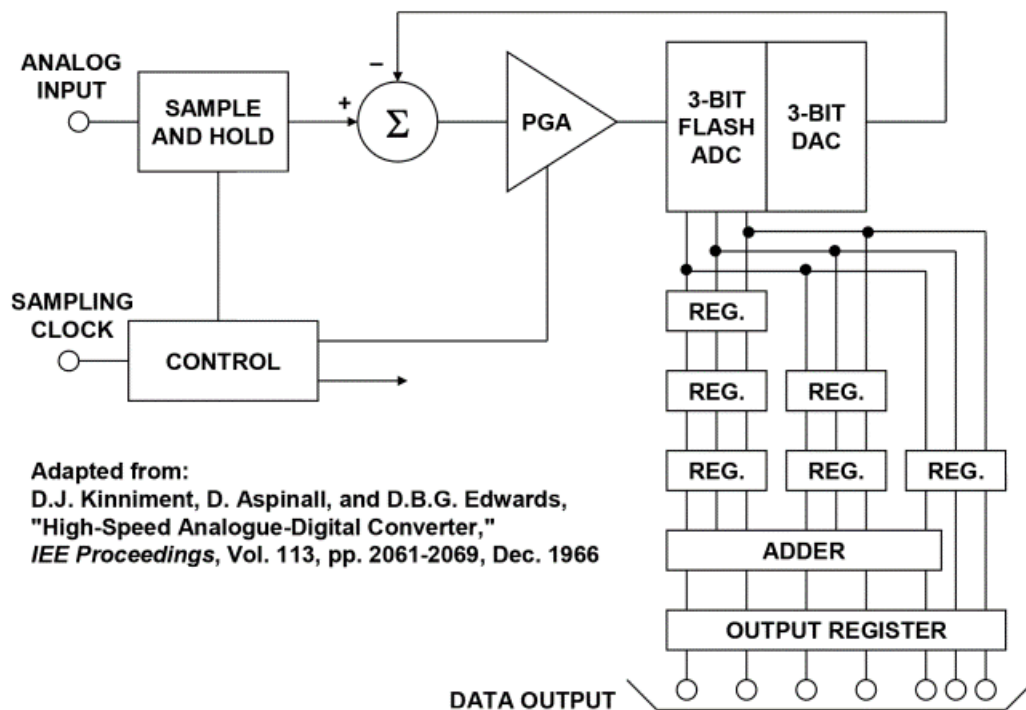


图 12. Kinniment 等人于 1966 年提出的流水线式 7 位、9 MSPS 循环 ADC 架构

用于视频和图像处理的现代单芯片流水线式 ADC

在纠错流水线式 ADC 讨论的最后，将提供一些常见架构的现代集成电路实施示例。这些示例显示了在不同分辨率、采样速率、功耗下灵活优化 ADC 性能的技术。

视频市场目前使用分辨率介于 8 至 12 位、采样速率介于 54MSPS 至 140MSPS 的 ADC。现在这些 ADC 大多数已集成到执行其他数字信号处理的芯片内，例如各种现有视频标准间的转换（复合、RGB、Y/C、Y/Pb/Pr）。从 ADI 公司的 ADV 系列视频解码器可以看到由上述 IC 执行的大量数字处理。ADC 架构一般是流水线式，采用 CMOS 工艺，总封装功耗范围从 250mW 至 600mW。另一类似产品系列用于相机和便携式摄像机的 CCD

图像处理应用。

在目前“独立”的 8 位 ADC 市场中，流水线式架构在 8 位、250MSPS [AD9480](#) (LVDS 输出) 和 [AD9481](#) (解复用 CMOS 输出) 中实施，两者功耗分别为 700mW 和 600mW。

用于宽带通信的流水线式 ADC

鉴于市场需要适合通信应用的宽动态范围 (高 SFDR) ADC，突破性产品 12 位、41 MSPS ADC [AD9042](#) 终于在 1995 年问世。该转换器的功能框图如图 13 所示。

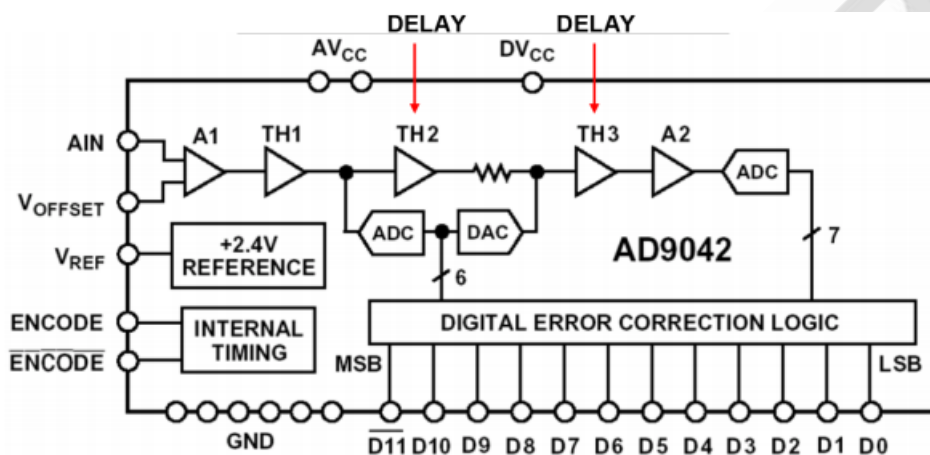


图 13. [AD9042](#) 12 位、41-MSPS ADC, 1995

[AD9042](#) 使用由 6 位 MSB ADC/DAC 后跟 7 位 LSB ADC 组成的纠错分级架构，并在第二级使用一位纠错。[AD9042](#) 在 41MSPS 采样速率下、奈奎斯特带宽上具有 80dB SFDR 性能。该器件使用高速互补双极性工艺制造，采用+5V 单电源供电，功耗为 600mW。

为了满足低成本、低功耗器件的需求，ADI 公司开发了 CMOS 高性能 ADC 系列，例如 1998 年发布的 12 位、25 MSPS ADC [AD9225](#)。[AD9225](#) 具有 85dB SFDR，采用+5V 单电源供电，功耗为 280mW。

2001 年发布的 12 位、65 MSPS CMOS ADC [AD9235](#) 显示了 CMOS 高性能转换器的进步。[AD9235](#) 采用+3V 单电源供电，功耗为 300mW (65MSPS 时)，在奈奎斯特带宽上具有 90dB SFDR。

2002 年发布的 12 位、210 MSPS [AD9430](#) 使用 BiCMOS 工艺制造，具有最高 70MHz 输入的 80dB SFDR，采用+3V 单电源供电，210MSPS 时的功耗为 1.3W。输出数据在处于 CMOS 模式的两个 105MSPS 解复用端口上提供，或者在处于 LVDS 模式的 210MSPS 单一端口上提供。

另一突破性产品是 2002 年发布的 14 位、105 MSPS ADC [AD6645](#)，使用高速互补双极性工艺(XFCB)制造，具有 90dB SFDR，采用+5V 单电源供电，功耗为 1.5W。

流水线式 ADC 12 位高速 ADC 市场在速度、功耗和性能方面已取得显著进步，从功耗仅为 360mW 的 12 位、80 MSPS CMOS ADC [AD9236](#) 便可看出。[AD9236](#) 是引脚兼容系列产品的一员，该系列包括 [AD9215](#) (10 位、105MSPS)、[AD9235](#) (12 位、65MSPS) 和 [AD9245](#) (14 位、80MSPS)。这些引脚兼容器件可以轻松地从 10 位迁移至 14 位，采样速率则可从 20MSPS 升至更高。

除了单通道 ADC 外，还提供双通道 ADC 和 4 通道 AD，包括具有 LVDS 输出的 4 通道 12 位、65 MSPS ADC [AD9229](#)。器件功耗为 1.5W，非常适合医疗超声一类的高密度应用。

在 14 位通信 ADC 领域，14 位、65MSPS 的 [AD9244](#) 针对奈奎斯特输入信号(直流至 $f_s/2$)进行了优化，具有 86 dB SFDR，使用 CMOS 工艺，功耗仅为 550mW。

对于更高的输入带宽和中频采样，14 位、125 MSPS ADC [AD9445](#) 可提供 95 dB SFDR (使用 170MHz 输入测得)，功耗为 2.6W。[AD9445](#) 基于 BiCMOS 工艺而设计。

另外对于通信应用，16 位、100 MSPS ADC [AD9446](#) 针对高 SNR(84dB)进行了优化，功耗为 2.8W，同样基于 BiCMOS 工艺而设计。

总结

流水线式分级 ADC 架构几乎主导着采样速率高于数 MHz 的应用。SAR 架构与 2 至 5MSPS 区域内的流水线式架构有些重叠，但很容易根据应用确定哪一架构更为合适。

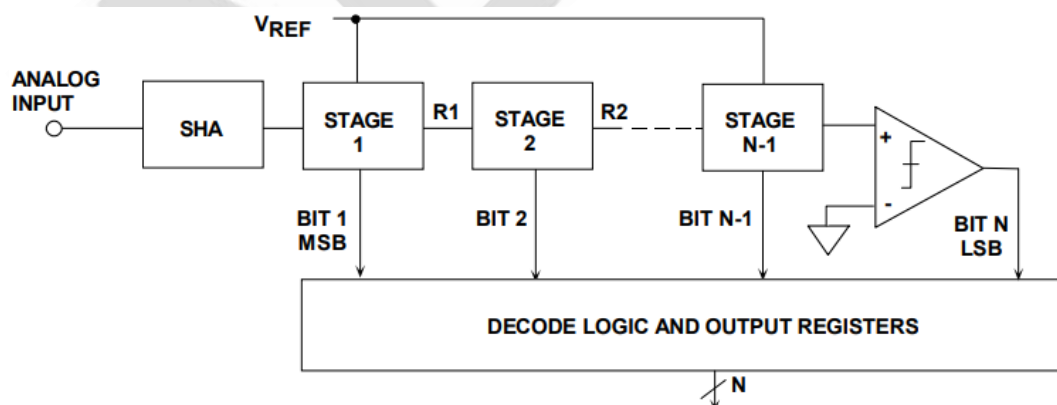
8 至 16 位的分辨率可提供各种封装和配置（信号、双通道、3 通道、4 通道等等）。细线 CMOS 工艺迄今是这些转换器最常用的工艺，而 BiCMOS 用于需要获得极致动态性能的应用。

对于给定采样速率和分辨率，流水线式 ADC 通常通过动态性能加以区分。例如，14 位、65 MSPS ADC [AD9244](#) 经过优化，可处理从直流到奈奎斯特频率($f_s/2$)的输入信号，功耗仅为 550mW。如果必须处理更高奈奎斯特区域内的信号，可以使用 14 位、125 MSPS ADC [AD9445](#)，其采用更昂贵的 BiCMOS 工艺，功耗为 2.6W。

为特定应用选择适当的流水线式 ADC 不仅需要彻底了解系统要求，而且得掌握架构工作原理和可用的权衡因素。将 ADC 简单地视为“黑盒子”常常导致错误的选择。

ADC 架构 VI：折叠型 ADC

“折叠”架构是各种串行或每级一位架构中的一种。有多种架构可以使用每位一级技术来执行模数转换，基本原理如图 1 所示。每级一位、无误差校正机制的多级流水线式分级 ADC 基本上就是一个每级一位转换器。实践中，此类流水线式转换器一般使用每级 1.5 位方法来提供误差校正功能。



B. D. Smith, "An Unusual Electronic Analog-Digital Conversion Method,"
IRE Transactions on Instrumentation, June 1956, pp. 155-160.

图 1. 每级一位 ADC 的一般架构

在每级一位 ADC 中，输入信号在整个转换周期中必须保持恒定。共有 N 级，每级都有一个“位”输出和一个“残余”输出。上一级的残余输出是下一级的输入。最后一位通过一个比较器检测，如图所示。

每级一位架构可以与其它架构结合使用。例如，最后一级的残余输出可以通过一个 Flash 型转换器进一步数字化，从而提供更高的分辨率。

B.D.Smith 于 1956 年发表的一篇文章是首次提到这种架构的文献之一。但 Smith 指出，先前的工作已由 R.P.Sallen 在麻省理工学院完成（1949 年论文）。Smith 在文章中说明了实现模数转换所需的二进制和格雷（或折叠）传递函数。

二进制和折叠型每级一位（串行）ADC

图 2 所示为用于执行单个二进制位转换的基本级，它由一个 2 倍增益放大器、一个比较器和一个 1 位 DAC（转换开关）组成。假设这是 ADC 的第一级。MSB 就是输入的极性，通过比较器进行检测，比较器还控制 1 位 DAC。1 位 DAC 的输出与 2 倍增益放大器的输出相加，然后将由此产生的残余输出输入到下一级。为了更好地了解该电路的工作原理，图中显示了一个涵盖整个 ADC 范围（ $-V_R$ 至 $+V_R$ ）的线性斜坡输入电压的残余输出。注意，残余输出的极性决定了下一级的二进制位输出。

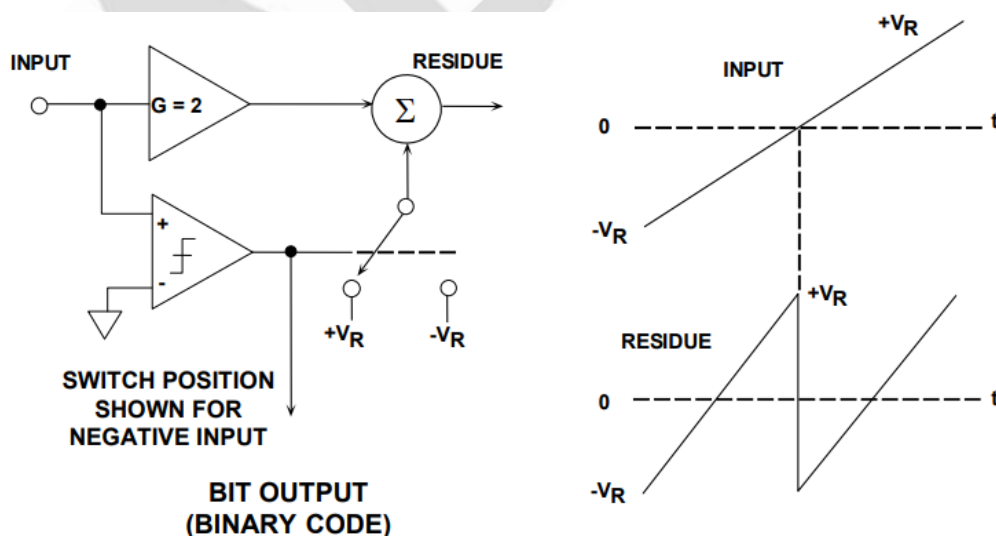


图 2. 二进制 ADC 的单级传递函数

图 3 所示为一个简化的 3 位串行二进制每级一位 ADC，其残余输出如图 4 所示。同样，图中显示的是范围介于 $-V_R$ 和 $+V_R$ 之间的一个线性斜坡输入电压的情况。每个残余输出都有间断点，这些间断点对应于比较器改变状态并驱使 DAC 切换的点。这种架构的根本问题在于残余输出波形中的不连续性。为使这些瞬变穿过所有级并在最后一个比较器输入端建立，必须提供充足的建立时间。因此，这种架构不适合高速工作。然而，每级 1.5 位流水线式架构对高速应用的吸引力则大得多。

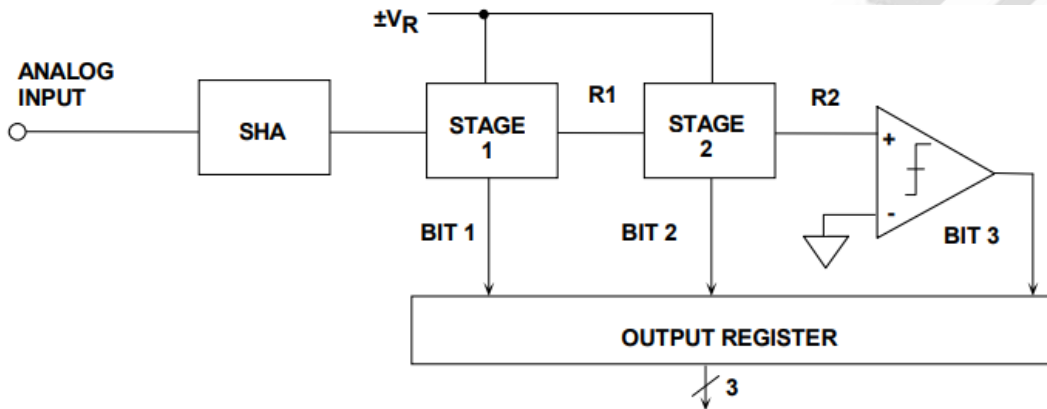


图 3. 二进制输出的 3 位串行 ADC

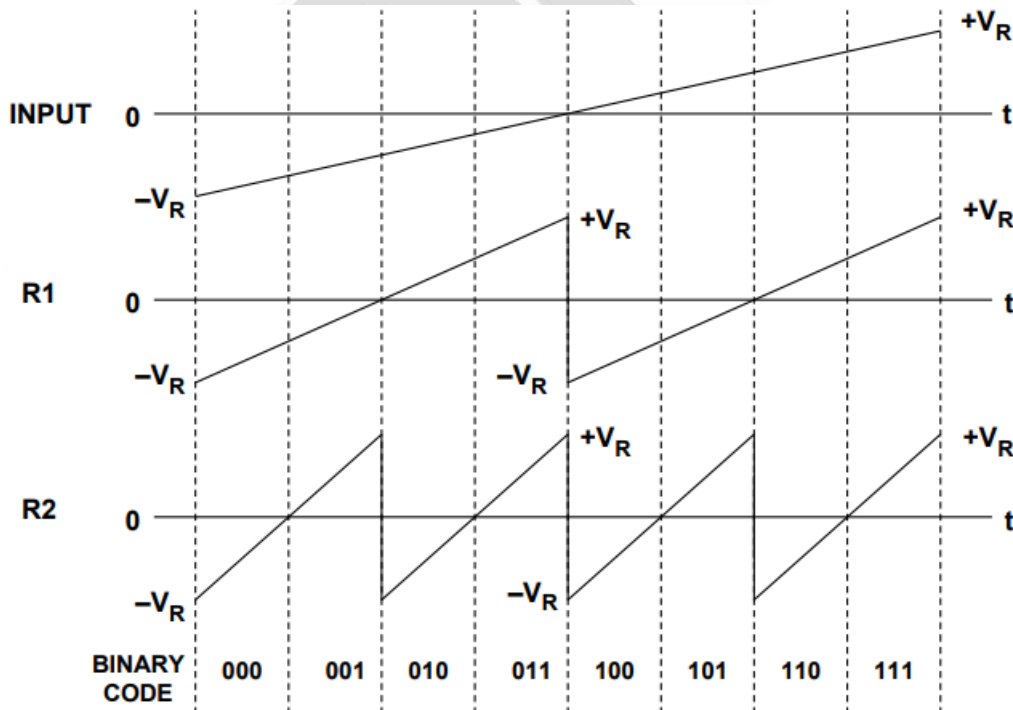


图 4. 3 位二进制纹波 ADC 的输入和残余波形

除二进制方法以外，B.D.Smith 在论文中还描述了一种更理想的基于绝对值放大器（幅度放大器，或简称为 MagAMPs™）的每级一位架构。这种方案常被称为串行格雷式（因为输出编码为格雷码），或者根据其传递函数的形状而称为“折叠型”转换器。使用一个能够产生初始格雷码输出的传递函数来执行转换，可以最大程度地减少残余输出波形中的间断点，并且有望以远高于二进制方法的速度工作。

图 5 显示了基本折叠级的功能框图及其传递函数。假设折叠级的输入是范围介于 $-V_R$ 和 $+V_R$ 之间的一个线性斜坡电压。比较器检测输入信号的极性，并产生该级的格雷位输出。它还确定该级的总增益是 $+2$ 还是 -2 。基准电压 V_R 与开关输出相加，产生的残余信号输入到下一级。残余信号的极性决定了下一级的格雷位。图 5 同时给出了折叠级的传递函数。

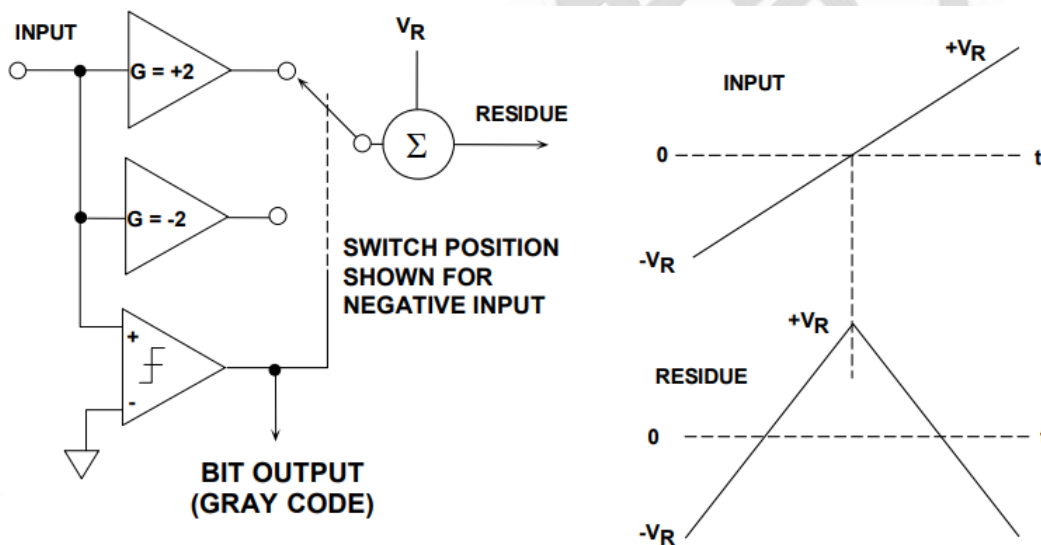


图 5. 折叠级功能等效电路

图 6 所示为一个 3 位 MagAMP 折叠型 ADC，其对应的残余波形如图 7 所示。如同二进制每级一位 ADC，上一级的残余输出信号的极性决定了下一级的格雷位的值。第一级的输入极性决定了格雷 MSB，R1 输出的极性决定了格雷位 2，R2 输出的极性决定了格雷位 3。注意，与二进制纹波 ADC 不同，任何折叠级残余输出波形中都不存在突变，因此实现高速工作是切实可行的。

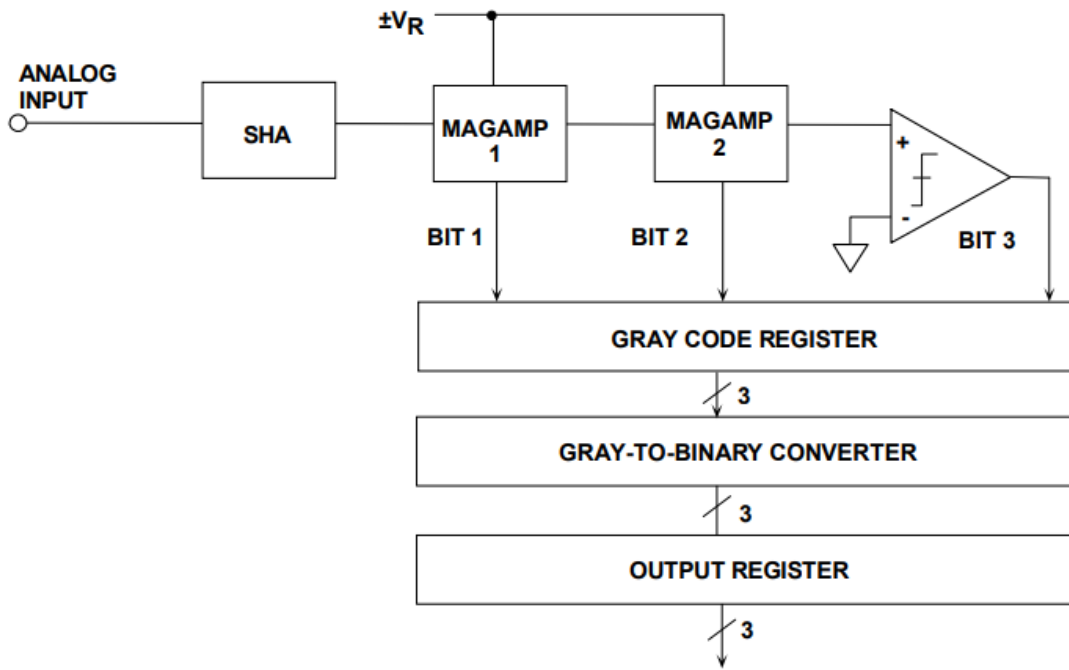


图 6.3 位折叠型 ADC 框图

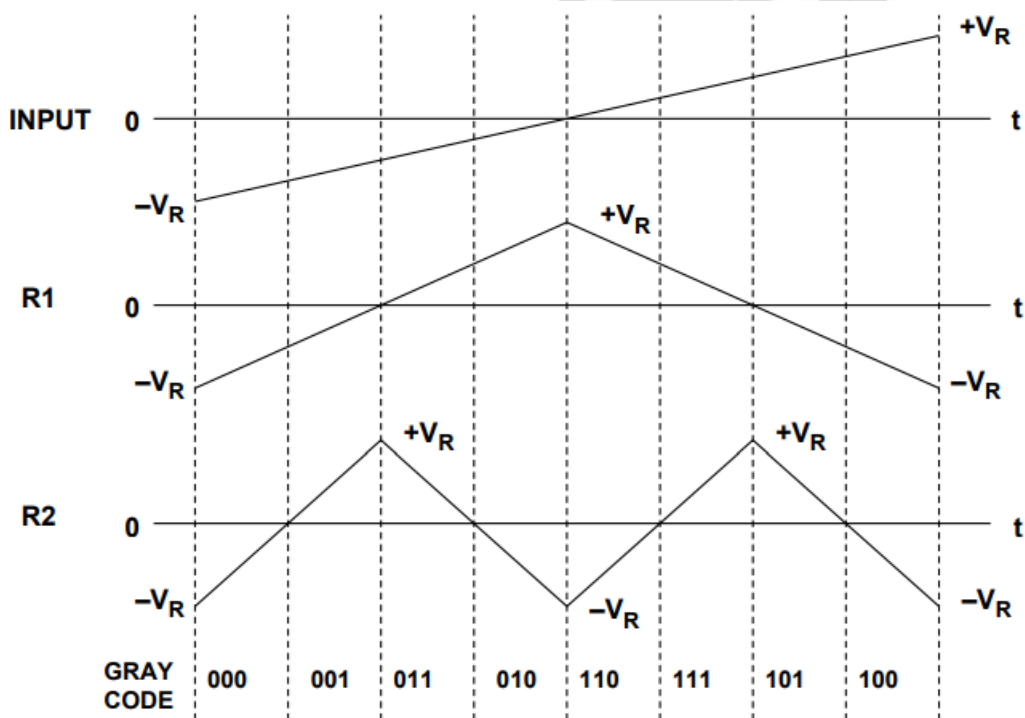


图 7.3 位折叠型 ADC 的输入和残余波形

让这种架构以高速工作的关键在于折叠级。贝尔电话实验室的 N.E.Chasek 在 1960 申请的专利中描述了一种利用巢式二极管桥产生折叠传递函数的电路。该电路利用固态器

件，但每级需要不同的基准电压（见图 8）。当多级级联以形成更高分辨率的转换器时，Chasek 的电路还会遭受裕量和增益损失，如图 9 所示。为使折叠型 ADC 以高分辨率工作，真正需要的是近乎理想的电压或电流整流。

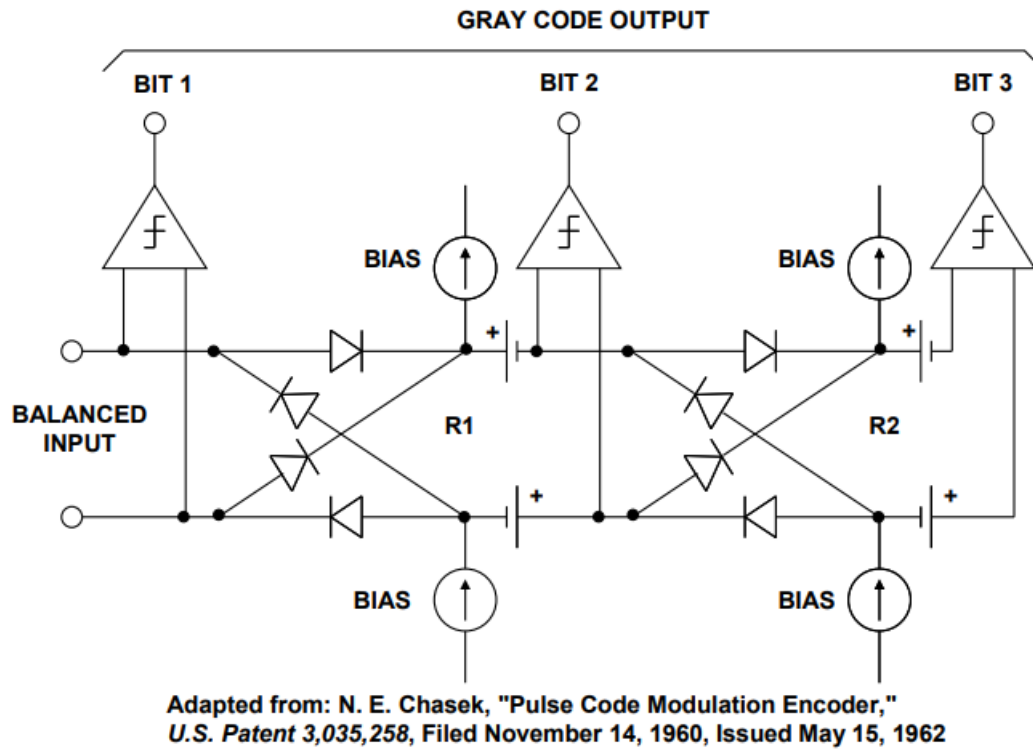


图 8. 基于 N.E.Chasek 设计的 3 位折叠型 ADC

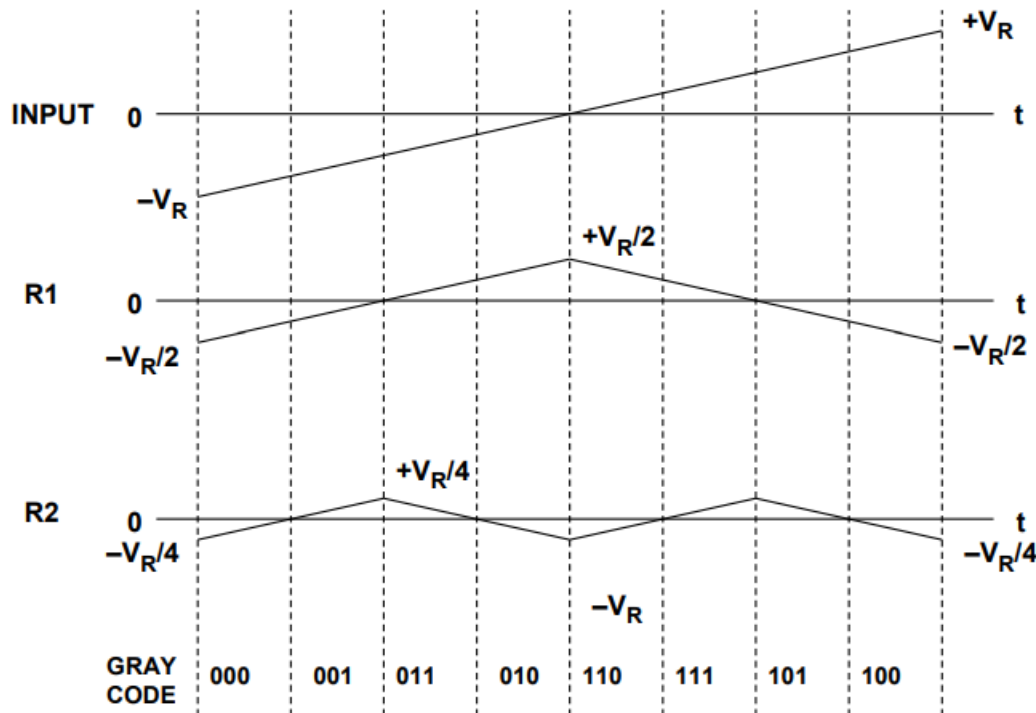
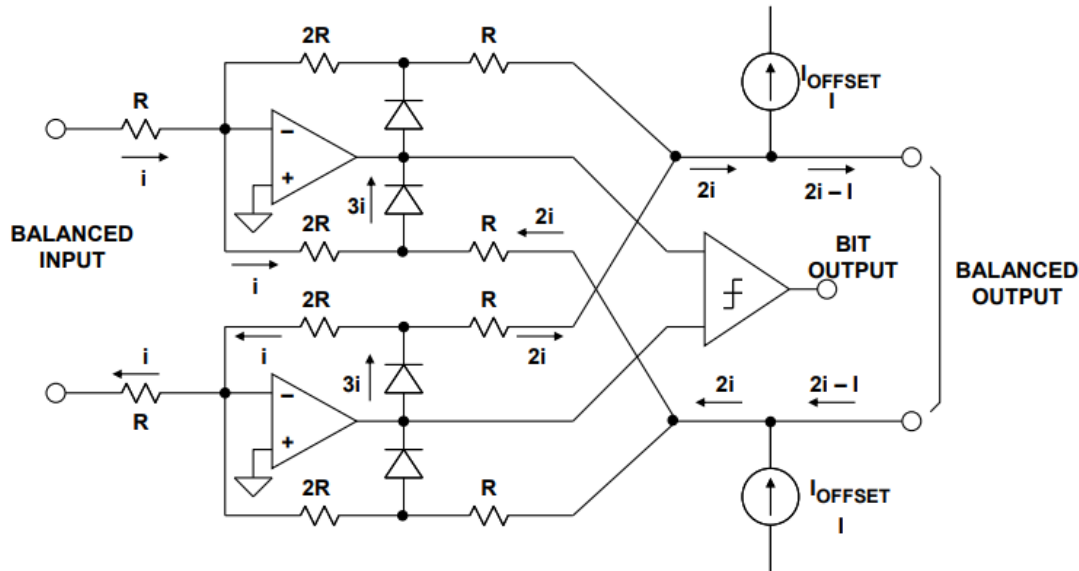


图 9. Chasek 折叠型 ADC 的单端波形

贝尔电话实验室的 F.D.Waldhaur 在 1962 年申请的著名专利中解决了 Chasek 巢式二极管桥电路的问题。图 10 显示了 Waldhaur 用于实现折叠传递函数的完善方案，它使用固态运算放大器，反馈环路中含有二极管。2 倍增益运算放大器允许各级使用相同的基准电压，并利用近乎完美的整流电路使各残余输出保持相同的信号电平。



Extracted from: F. D. Waldhauer, "Analog-to-digital Converter,"
U.S. Patent 3,187,325, Filed July 2, 1962, Issued June 1, 1965

图 10. 采用整流放大器的 F.D.Waldhauer 经典折叠级

J. O. Edson 和 H. H. Henning 在 1965 年《贝尔系统技术杂志》的一篇文章中详细描述了此类 ADC 的工作原理和性能。实验研究使用一个 9 位 6 MSPS ADC，在 224 Mbps PCM 终端上进行。这些终端既要处理数据，又要处理语音信号。语音频带的目标是对整个 600 信道、2.4 MHz FDM 频段进行数字化，因而要求的最低采样速率约为 6MSPS。

值得注意的是，实验终端还要处理视频，这就要求更高的采样速率（约为 12MSPS）。针对这一要求，需要使用贝尔实验室的最新（也是最后）一代电子束编码器（参见章节《ADC 架构 I: Flash 转换器》）才能满足 ADC 要求，因为基于 Waldhauer 申请专利的固态编码器在较高采样速率下精度不足。

第一款采用 Waldhauer 格雷码架构的商用 ADC 是 Computer Labs, Inc. 于 1966 年推出的 8 位 10MSPS 的 HS-810。该仪器全部采用分立晶体管电路（无集成电路），安装在 19" 机架中（如图 11 所示），用于早期实验性数字雷达接收机应用。这款 8 位 10MSPS 转换器自带线性电源，功耗近 150 瓦，每台售价约为 10,000 美元。该公司还利用同样的技术生产了 9 位 5MSPS 和 10 位 3MSPS 产品。虽然 Computer Labs 的下一代设计利用了模块

式运算放大器（Computer Labs OA-125 和 FS-125），Fairchild μ A710/711 比较器、以及 7400TTL 逻辑等 IC，但第一代 ADC 全部采用分立器件。

Computer Labs 生产的这些早期高速 ADC 主要用于 Raytheon、General Electric、MIT Lincoln Labs 等公司的雷达接收机开发相关的研发项目。

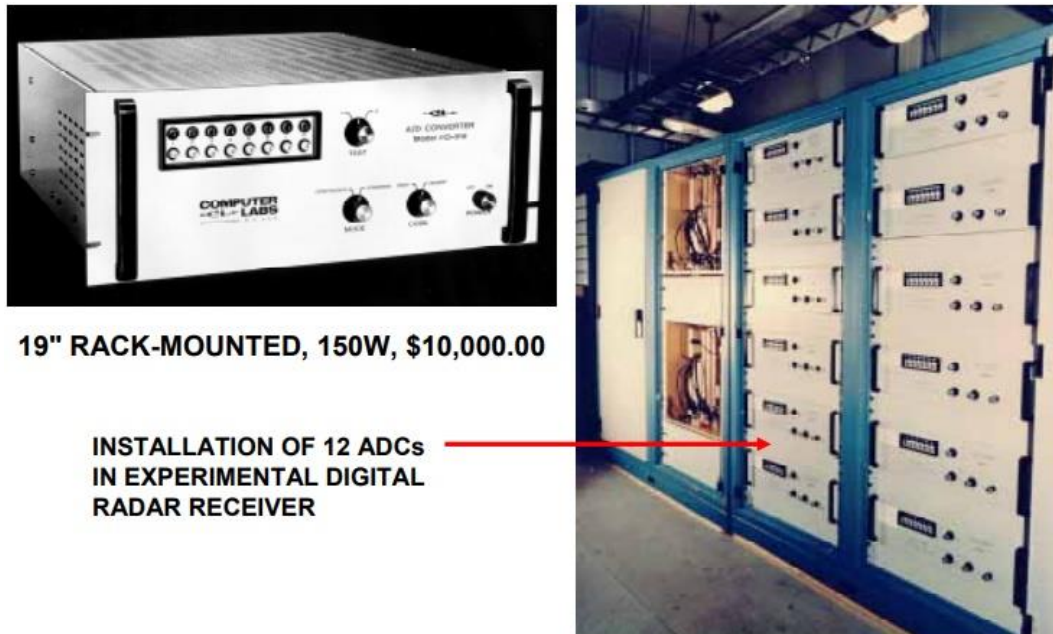


图 11. Computer Labs, Inc. 于 1966 年推出的 8 位 10 MSPS ADC HS-810

在 1970 年代初，有些仪表和模块式 ADC 使用折叠格雷码架构，如 HS-810 等，但在 1980 年代，商用高速 ADC 主要使用 Flash 或误差校正分级架构。然而，在 1970 年代末和整个 1980 年代，随着 IC 工艺的进步，业界对折叠架构的兴趣不减，许多实验性设计出现在这一时期的各种杂志中。

ADI 公司于 1980 年代中期首先开发出高速完全互补双极性(CB)工艺；1994 年，Frank Murden 和 Carl Moreland 大幅改进了格雷码 MagAMP™ ADC 所用的电流舵架构，并申请了专利。该技术首先应用于构建 ADI 公司于 1995 年推出的 12 位 41-MSPS ADC [AD9042](#) 的模块内核，其后的技术改进和更高速度 CB 工艺——XFCB 的成功开发，将内核技术扩展到 14 位；1999 年推出 14 位 65-MSPS ADC [AD6644](#)，2001 年推出 14 位 80 MSPS ADC

[AD6645](#), 2003 年推出 [AD6645](#) 的 105MSPS 版本。虽然这些 ADC 使用误差校正流水线式分级架构, 但内部构建模块核心 ADC 采用的是 MagAMP™ 架构。

现代 IC 电路设计利用电流舵开环增益技术实现传递函数, 以便能够更高速工作。全差分级 (包括 SHA) 也能提供高速、低失真特性, 并实现 8 位精度的折叠级, 而无需使用薄膜电阻激光调整。

图 12 所示为一个全差分 2 倍增益 MagAMP 折叠级示例。差分输入信号施加于退化射极差分对 Q1、Q2 和比较器。差分输入电压被转换成差分电流, 流入 Q1、Q2 的集电极。如果 +IN 大于 -IN, 则晶体管 Q3、Q6 导通, Q4、Q6 断开。因此, 差分信号电流通过 Q3、Q6 的集电极流入电平转换晶体管 Q7、Q8 和输出负载电阻, 在 +OUT 与 -OUT 之间产生一个差分输出电压。该电路的整体差分电压增益为 2。

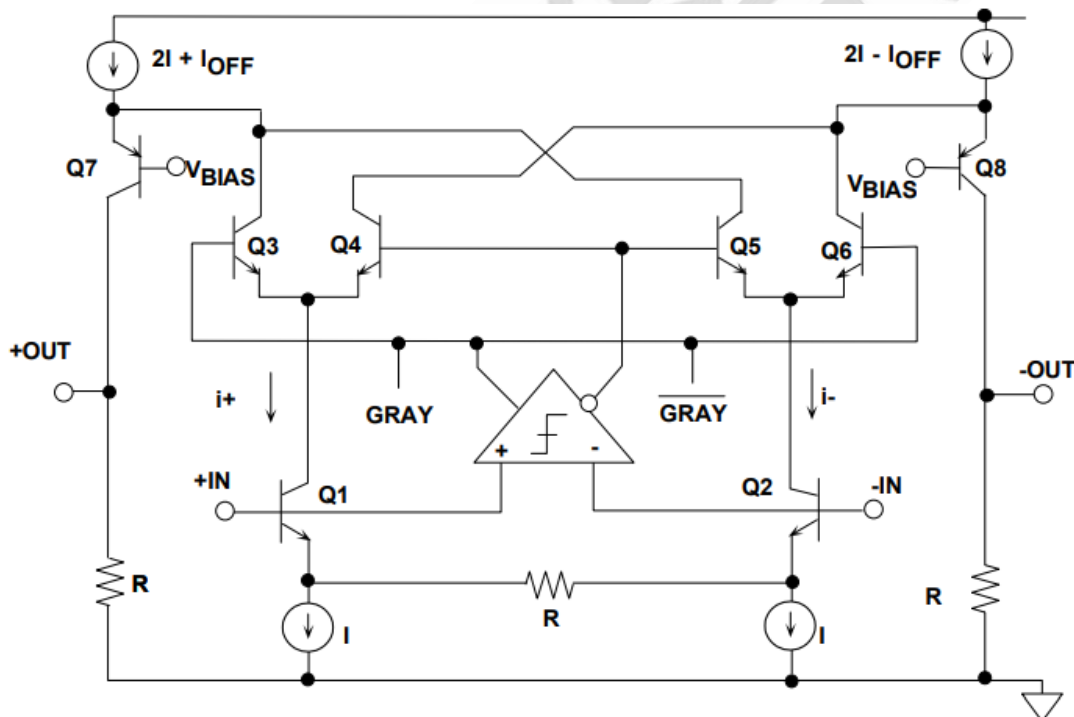


图 12. 现代电流舵 MagAMP™ 级

如果 +IN 小于 -IN (负差分输入电压), 则比较器更改状态, Q4、Q5 导通, Q3、Q6 断开。差分信号电流从 Q5 流到 Q7, 从 Q4 流到 Q8, 从而在差分输出端保持与正差分输入电压

相同的相对极性。所需的偏移电压通过如下方式产生：在 Q7 的射极电流中增加一个电流 I_{OFF} ，并且在 Q8 的射极电流中减去电流 I_{OFF} 。

该级的差分残余输出电压驱动下一级的输入，比较器输出代表该级的格雷码输出。

MagAMP 架构的功耗更低，可以达到以前 Flash 型转换器的采样速率。例如，图 13 所示为 1997 年首次推出的 8 位 200 MSPS ADC [AD9054A](#)，该器件采用高速互补双极性工艺制造，功耗为 500mW。前 5 位（格雷码）从 5 个差分 MagAMP 级产生。第五 MagAMP 级的差分残余输出驱动一个 3 位 Flash 型转换器，而不是单个比较器。

五个 MagAMP 的格雷码输出和 3 位 Flash 转换器的二进制码输出经过锁存，全部被转换成二进制格式，然后再次锁存于输出数据寄存器中。由于数据速率较高，该器件提供一个解复用输出选项。

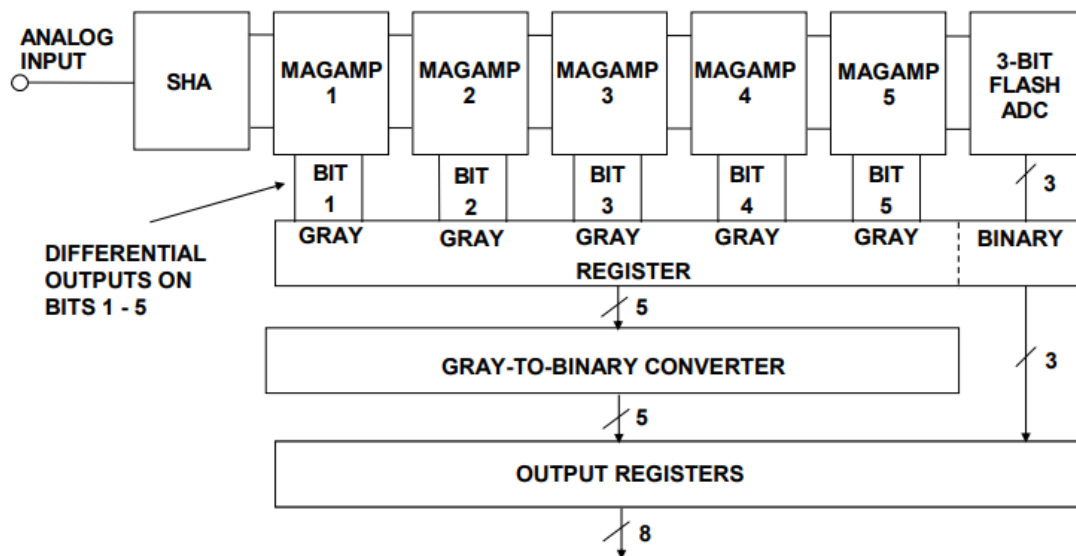


图 13. 1997 年推出的 8 位 200 MSPS ADC [AD9054A](#)

8 位高速领域的最新产品采用 CMOS 工艺和流水线式分级架构，例如 8 位 250 MSPS [AD9480](#) (LVDS 输出) 和 [AD9481](#) (解复用 CMOS 输出)，其功耗分别为 700mW 和 600mW。

结束语

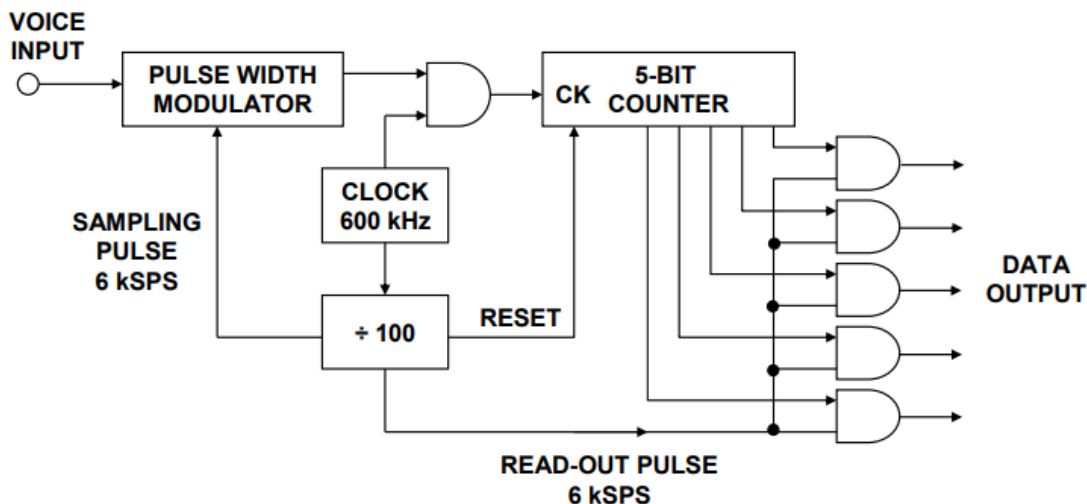
虽然 Flash 和流水线式分级架构最初用于贝尔实验室和 ComputerLabs 于 1960 年代推出的开创性仪表 ADC 中，但它们目前已占据了高速 ADC 市场的主导地位。虽然有许多 IC 采用了折叠架构设计，但这种架构从未像流水线式分级 ADC 那样受到青睐。尽管如此，仍有必要知道这种架构的存在，因为将来随着 IC 工艺的发展，它可能会重新受到赏识。

ADC 架构 VII：计数 ADC

计数 ADC 虽然不太适合高速应用，但却是高分辨率低频应用的理想之选，特别是结合使用双斜式积分、三斜式积分、四斜式积分等技术时。

A. H. REEVES 的 5 位计数 ADC

计数 ADC 起源于 1930 年代末的早期实验性脉冲码调制(PCM)系统。A. H. Reeves 在其内容全面的 1939 年 PCM 专利档案中描述了第一款适合 PCM 应用的 ADC，图 1 是该 ADC 的简化框图。早期用于 PCM 的 ADC 通常具有 5 到 7 位分辨率，采样速率为 6kSPS 到 10kSPS。非常有趣的是，Reeves 的 ADC 是基于一种计数技术，原因很可能是他对计数器具有浓厚的兴趣——就在几年前，Eccles-Jordan 双稳态多谐振荡器刚刚问世。然而，在后来的 PCM 应用中，其它架构的使用更为广泛，如 Flash 型（章节《ADC 架构 I：Flash 转换器》）、逐次逼近型（章节《ADC 架构 II：逐次逼近型 ADC》）、分级和流水线型（章节《ADC 架构 V：流水线式分级 ADC》）、每级一位型（章节《ADC 架构 VI：折叠型 ADC》）等。



Adapted from: Alec Harley Reeves, "Electric Signaling System,"
U.S. Patent 2,272,070, Filed November 22, 1939, Issued February 3, 1942

图 1. A.H.REEVES 的 5 位计数 ADC

计数 ADC 技术的基本原理是利用一个采样脉冲对模拟信号进行采样，然后设置一个 R/S 触发器，同时启动一个受控斜坡电压。该斜坡电压与输入进行比较，当二者相等时，就会产生一个脉冲以复位 R/S 触发器。触发器的输出是一个脉冲，其宽度与采样时刻的模拟信号成正比。该脉宽调制(PWM)脉冲控制一个选通振荡器，选通振荡器输出的脉冲数量代表模拟信号的量化值，通过一个计数器很容易将该脉冲串转换成一个二进制字。Reeves 的系统使用 600kHz 的主时钟，100:1 分频器产生 6kHz 的采样脉冲。该系统采用 5 位计数器，因而采样脉冲之间的 100 个脉冲中的 31 个脉冲代表一个满量程信号。显然，可以将该计数扩展到更高的分辨率。

电荷耗尽型 ADC

电荷耗尽 ADC 架构如图 2 所示，它首先对模拟输入进行采样，将电压储存在一个固定电容中。然后用一个恒定电流源给该电容放电，并用一个计数器测量完成放电所需的时间。注意，这种方法的整体精度取决于电容的质量和容值、电流源的幅度以及时基的精度。

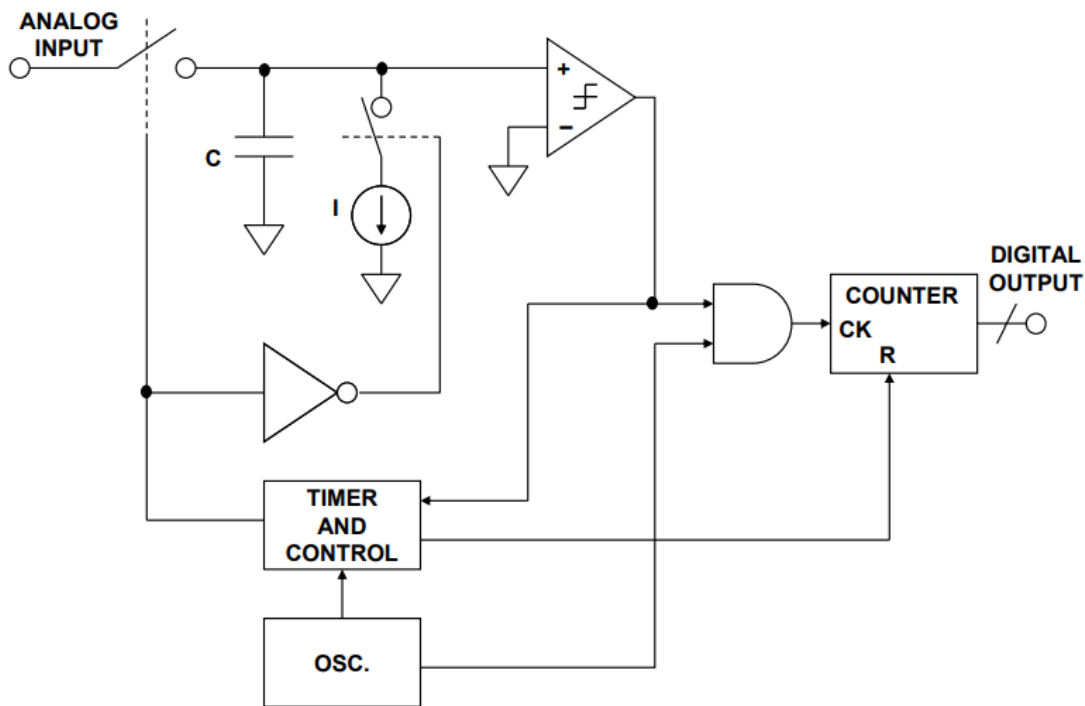


图 2. 电荷耗尽型 ADC

斜坡上升型 ADC

斜坡上升架构如图 3 所示，斜坡发生器在转换周期开始时启动。然后，计数器测量斜坡电压上升到模拟输入电压所需的时间。因此，计数器输出与模拟信号的值成正比。在另一个方案中（如图 3 虚线所示），斜坡电压发生器被计数器输出驱动的 DAC 取代。使用斜坡发生器的优势是可以确保 ADC 始终是单调的，而用 DAC 取而代之时，ADC 的整体单调性由 DAC 决定。

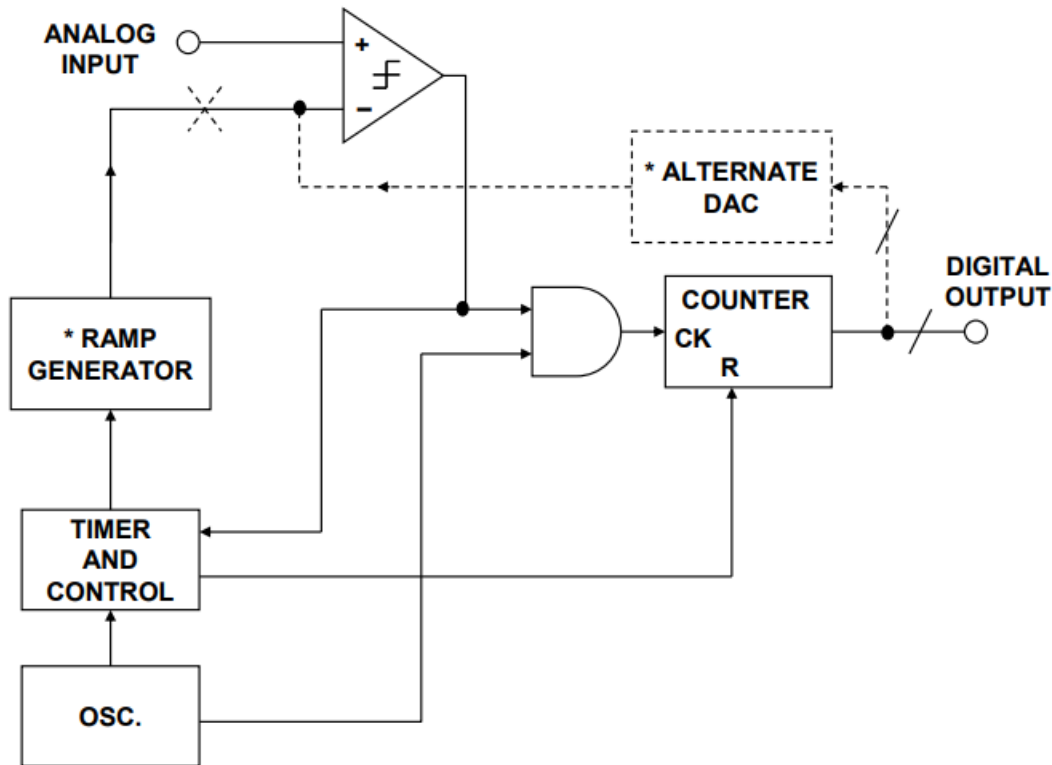


图 3. 斜坡上升型 ADC

斜坡上升型 ADC 的精度取决于斜坡发生器（或 DAC）和振荡器的精度。为了处理交流信号，必须使用采样保持器，使得模拟输入在转换周期内保持不变。注意，斜坡上升架构与图 1 所示的 Reeves 计数架构非常相似。

跟踪型 ADC

跟踪型 ADC 架构如图 4 所示，它将实际的输入信号与重构的输入信号进行持续比较。升降计数器由比较器输出控制。如果模拟输入超过 DAC 输出，则计数器升高，直到二者相等。如果 DAC 输出超过模拟输入，则计数器降低，直到二者相等。显然，如果模拟输入缓慢变化，计数器将随之变化，使数字输出始终会非常接近其正确值。但如果模拟输入突然发生大幅度变化，则需要经过数百或数千个时钟周期后，输出才会再次有效。因此，跟踪型 ADC 对慢速变化的信号响应迅速，但对快速变化的信号则响应缓慢。

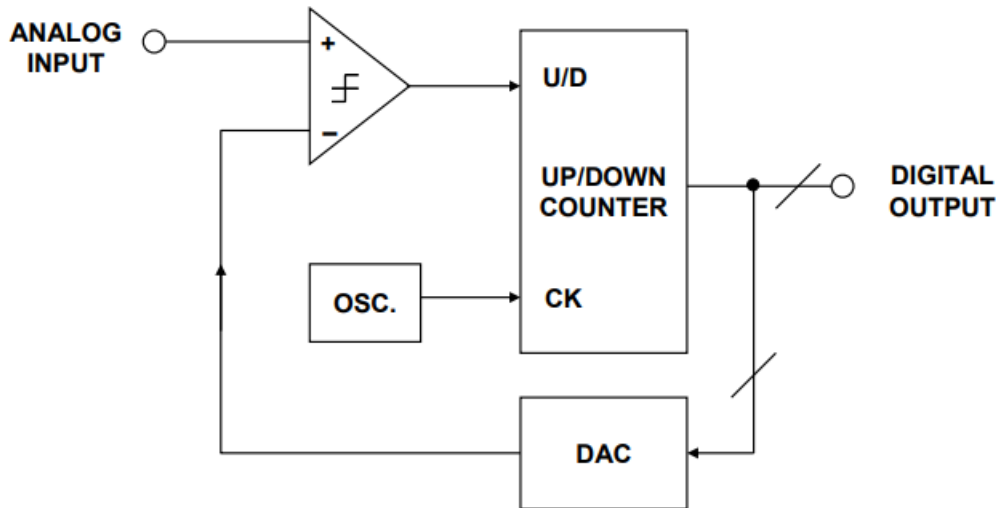


图 4. 跟踪型 ADC

以上的简单分析忽略了模拟输入与 DAC 输出接近相等时 ADC 的表现。这取决于比较器和计数器的确切特性。如果比较器较为简单，则 DAC 输出将发生 1 个 LSB 的跳动（比模拟输入略大和略小的两个值），数字输出当然也一样，因而存在 1LSB 的闪烁。注意，在这种情况下，无论模拟输入为何值，输出在每个时钟周期都会发生步进，因而传号空号比始终为 1。换言之，这种方法无法对数字输出求平均值，即无法利用过采样来提高分辨率。

一个更令人满意但更复杂的方案是使用一个宽度为 1-2 LSB 的窗口比较器。当 DAC 输出较高或较低时，系统像上文所述一样工作，但如果 DAC 输出在窗口内，计数器将停止计数。只要 DAC 的 DNL 能保证，使得 1LSB 的代码变化绝不会导致 DAC 输出跨过窗口，那么这一方案就能消除闪烁。

跟踪型 ADC 并不常用，较慢的阶跃响应使之不适合许多应用，但它有一个独特的优点：其输出持续可用。大多数 ADC 执行转换，即在接到“开始转换”命令（也可以是内部产生）时执行转换，经过一定的延迟后，结果变得可用。跟踪 ADC 则不同，只要模拟输入变化缓慢，其输出便始终可用。这在自整角机数字转换器(SDC)和旋变数字转换器(RDC)中极具价值，这也是跟踪型 ADC 的主要应用（参见指南 [《旋变数字转换器》](#)）。

跟踪型 ADC 还有一个重要的特性，即模拟输入的快速瞬变只会导致输出改变一个计数，这在高噪声环境中非常有用。请注意跟踪型 ADC 与逐次逼近型 ADC 之间的相似性，逐次逼近型 ADC 架构是将升降计数器更换为 SAR 逻辑。

ADC 架构 VIII：积分 ADC

在发现基本计数 ADC 架构（参见章节《ADC 架构 VII：计数 ADC》）后，通过结合集成和计数技术就能实现更高精度，进而推动了高精度双斜率、三斜率和四斜率 ADC 的开发。随着高分辨率 Σ - Δ 型 ADC 的迅速普及，集成架构不再像以前那样流行，不过仍用于各种精密应用，例如数字电压表等。

多斜率 ADC

1950 年代推出的“双斜率”ADC 架构，对高分辨率应用中的 ADC（例如数字电压表）确实是一大突破。简单示意图如图 1 所示，积分器输出波形如图 2 所示。

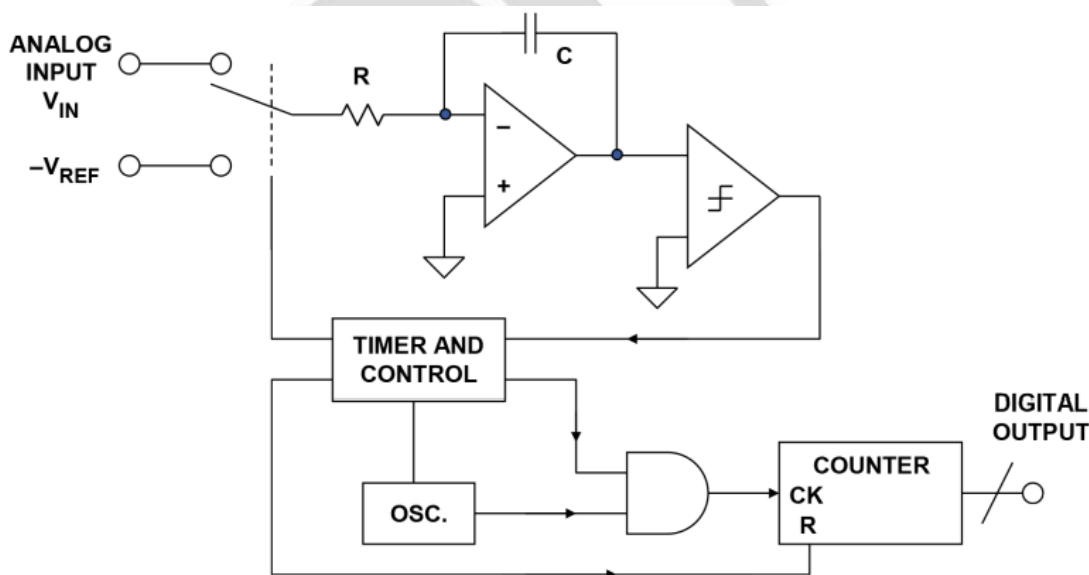


图 1. 双斜率积分 ADC

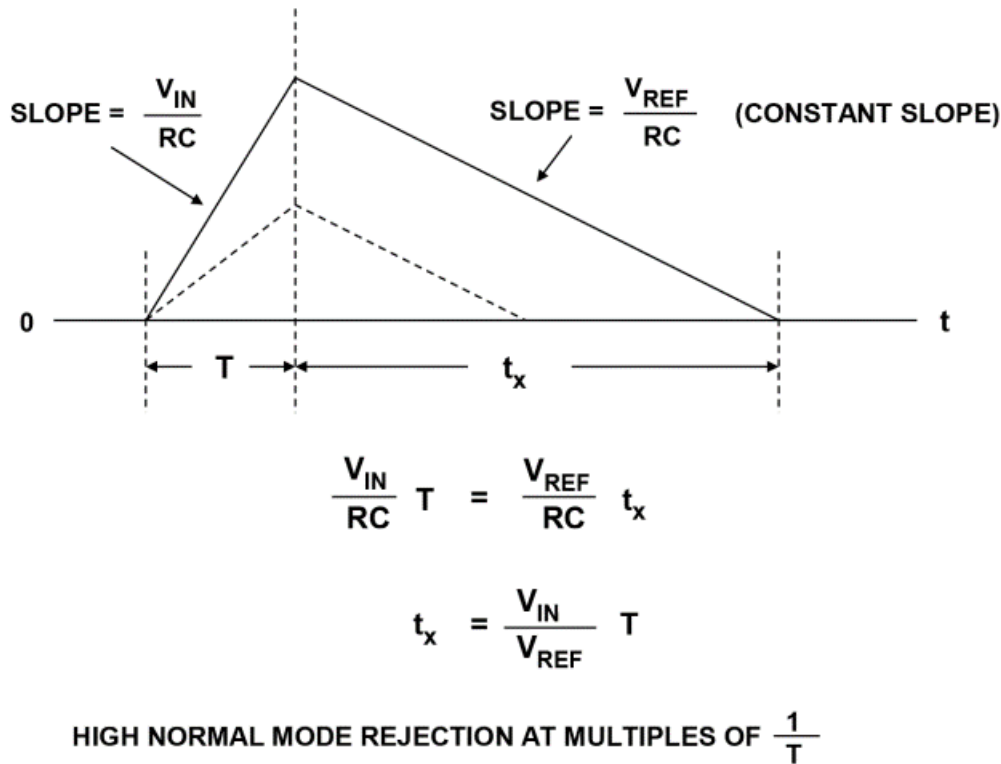


图 2. 双斜率 ADC 积分器输出波形

计数器开始计算时钟脉冲的同时，输入信号施加于积分器。经过预定时间(T)后，具有相反极性的基准电压施加于积分器。此时，积分电容上的累积电荷与输入在间隔 T 内的平均值成正比。基准电压积分是反向斜坡，斜率为 V_{REF}/R_C 。同时，计数器重新从零计数。当积分器输出到达零，计数停止，模拟电路复位。由于所得电荷与 $V_{IN} \times T$ 成正比，且相等数量的丢失电荷与 $V_{REF} \times t_x$ 成正比，因此相对于满量程计数的计数次数与 t_x/T 或 V_{IN}/V_{REF} 成正比。如果计数器输出是二进制数，那么就是代表输入电压的二进制形式。

双斜率积分具有许多优点。由于转换精度以相同比率影响上行斜率和下行斜率，所以与电容和时钟频率均无关。

固定输入信号积分周期抑制了模拟输入（其周期等于积分时间 T 或为其约数）上的噪声频率。因此，只要正确选择 T，就能实现对 50-Hz 和 60-Hz 线路纹波的极佳抑制，如图 3 所示。

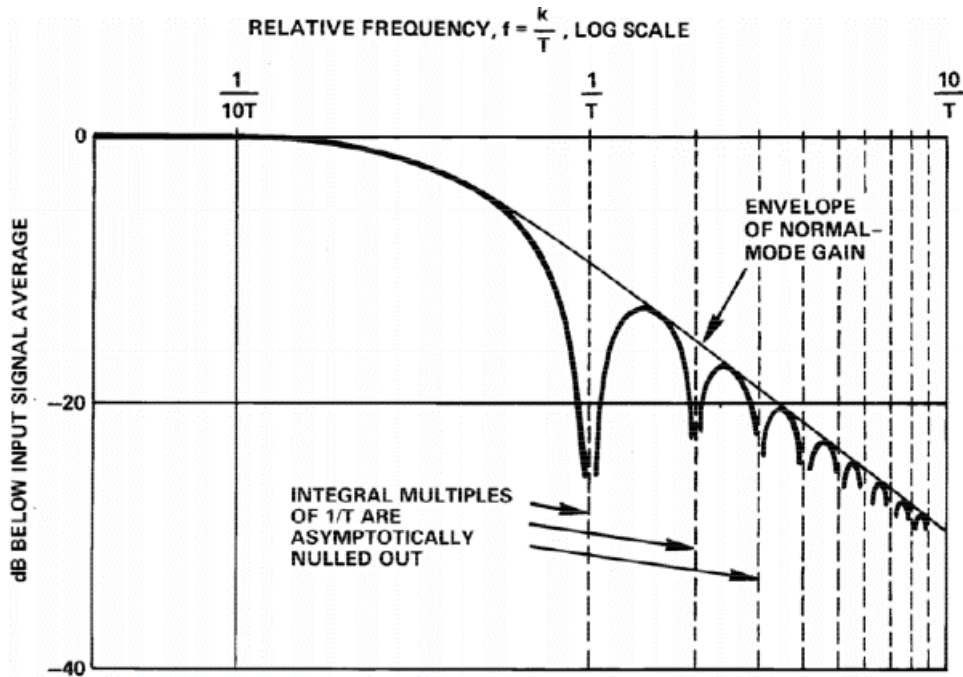


图 3. 积分 ADC 的频率响应

利用额外充电/放电循环测量“零”和“满量程”，并借助测量结果对初始测量值进行数字校正，可以消除由偏置电流、积分放大器的失调电压和比较器造成的误差以及增益误差。

三斜率架构保留了双斜率的优点，同时大幅提升了转换速度，但是增加了复杂性。提升转换速度通过在两个不同速率下完成基准电压积分（斜降）来实现，即高速速率和“游标”低速速率。计数器同样分成两部分，一部分用于 MSB，一部分用于 LSB。在正确设计的三斜率转换器中，可以实现速度的大幅提升，同时保留双斜率 ADC 固有的线性度、微分线性和稳定性特性。

电压频率转换器

电压频率转换器(VFC)是一种振荡器，其频率与控制电压成线性比例关系。VFC/计数器 ADC 采用单芯片，无失码，可对噪声积分，功耗极低。该器件很适合遥测应用，因为 VFC 外形小巧、价格便宜且功耗低，可以安装在实验对象（患者、野生动物、炮弹等等）

上，并通过遥测链路与计数器通信，如图 1 所示。

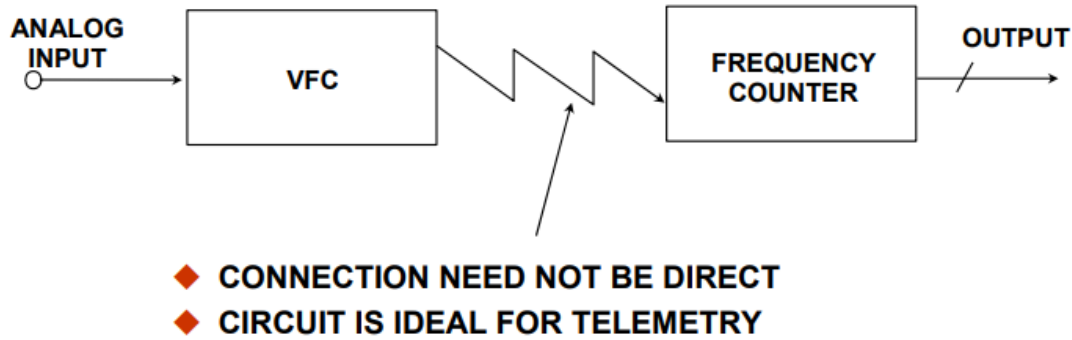


图 1. 用电压频率转换器(VFC)和频率计数器实现低成本、多功能、高分辨率 ADC

常见的 VFC 架构有两种：电流导引多谐振荡器 VFC 和电荷平衡 VFC。电荷平衡 VFC 可采用异步或同步（时钟控制）形式。VFO（可变频率振荡器）架构种类更多，包括无处不在的 555 计时器，但 VFC 的主要特性是线性度——而极少 VFO 具有高线性度。

电流导引多谐振荡器 VFC 其实是电流频率转换器而非 VFC，但如图 2 所示，实际电路的输入端总是包含电压电流转换器。工作原理很简单：电流使电容放电，直至达到阈值，当电容端子反转时，半周期重复进行。电容两端的波形是线性三角波，但任一端子相对于地的波形都更复杂，如图所示。

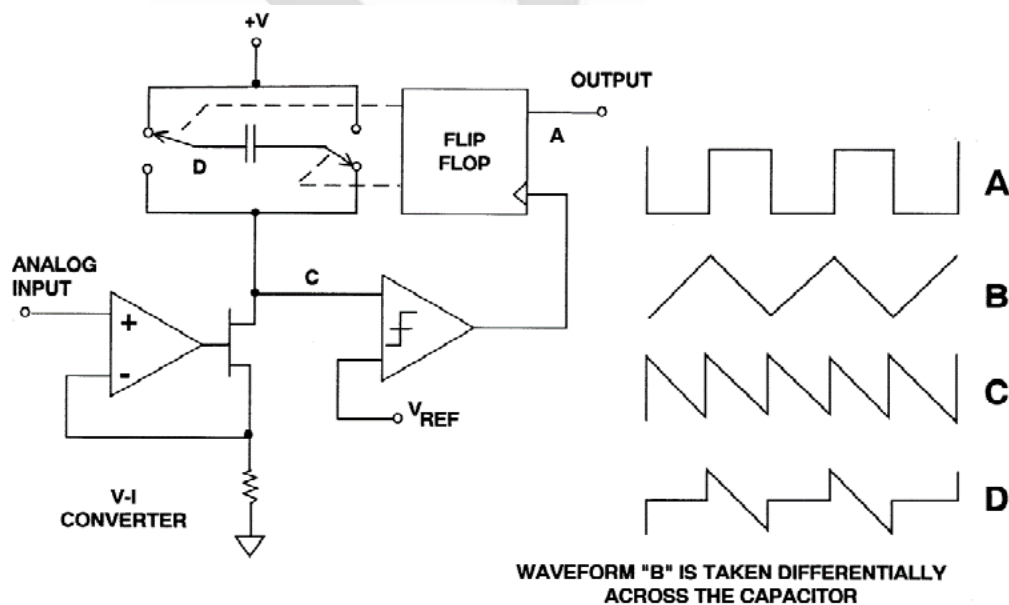


图 2. 电流导引 VFC

此类实际 VFC 具有约 14 位的线性度和同等稳定性，不过也可用于具有更高分辨率的 ADC 中，并且无失码。性能限制取决于比较器阈值噪声、阈值温度系数、电容（一般是分立元件）稳定性和电介质吸收(DA)。图中所示的比较器/基准电压源结构比实际使用电路更能体现所实现的功能，实际电路与开关电路高度集成，相应地更难分析。

此类 VFC 结构简单、价格便宜且功耗低，大多数使用很宽的电源电压范围，因此非常适合低成本中等精度 ADC 和数据遥测应用。

图 3 所示的电荷平衡 VFC 更复杂，对电源电压和电流的要求更高，也更精确。它能提供 16 至 18 位线性度。

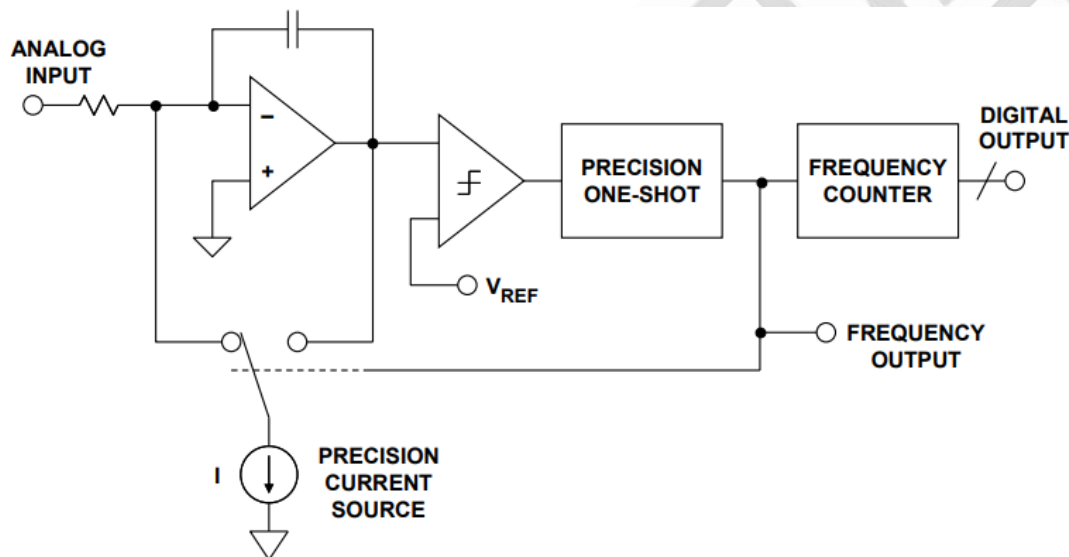


图 3. 电荷平衡电压频率转换器(VFC)

积分器电容通过信号充电，如图 3 所示。当它超过比较器阈值时，固定电荷从电容中移除，但输入电流在放电期间继续流动，因此输入电荷不会丢失。固定电荷由精密电流源和精密单稳态的脉冲宽度定义。因此输出脉冲速率与积分器从输入端充电的速率具有精确比例关系。

在低频率下，此 VFC 的性能限制由电流源和单稳态时序（取决于单稳态电容及其他因素）的稳定性决定。影响精度的不是积分电容的绝对值和温度稳定性，而是泄漏和电介

质吸收(DA)。在高频下，二阶效应（例如积分器内的开关瞬变、单稳态在脉冲结束后立即重新触发时的精度）会严重影响精度和线性度。

电流源内的转换开关用于解决积分器瞬变问题。使用转换开关代替旧 VFC 设计中更常见的接通/关断开关有下列优点：(a)精密电流源内无开/关瞬变，以及(b)积分器输出级面对的是恒定负载——大多数时间电流源电流直接流入输出级；电荷平衡期间仍然流入输出级，只不过会通过积分电容。

精密单稳态的稳定性和瞬变特性带来了更多问题，但可以用时钟控制双稳态多谐振荡器取代单稳态来避免。这种配置称为同步 VFC 或 SVFC，如图 4 所示。

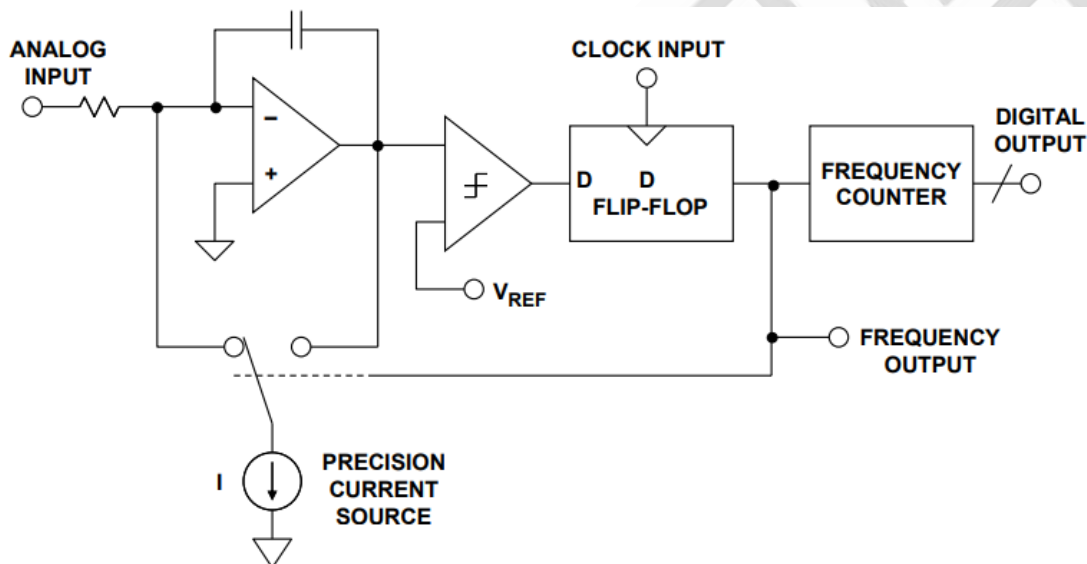


图 4. 同步 VFC(SVFC)

该器件与上述电路的差异很小，但电荷平衡脉冲长度现在由外部时钟的两个连续沿定义。如果该时钟具有低抖动，将会精确定义电荷。输出脉冲也会与时钟同步。此类 SVFC 能提供最高 18 位的线性度以及出色的温度稳定性。

这种同步特性在许多应用中很方便，因为同步数据传输比异步更易于处理。但这也意味着 SVFC 的输出不像传统 VFC 一样是纯音（当然还有谐波），而是包含与时钟频率相关的谐波分量。

示波器上显示的 SVFC 输出尤其具有误导性，并且往往会让人困惑不解——改变 VFC 输入会使输出频率产生平滑变化，但改变 SVFC 会使输出脉冲在前一输出脉冲后的 N 和 $N+1$ 个时钟周期产生概率密度变化，这常被误解为严重抖动和器件故障征兆（参见图 5）。

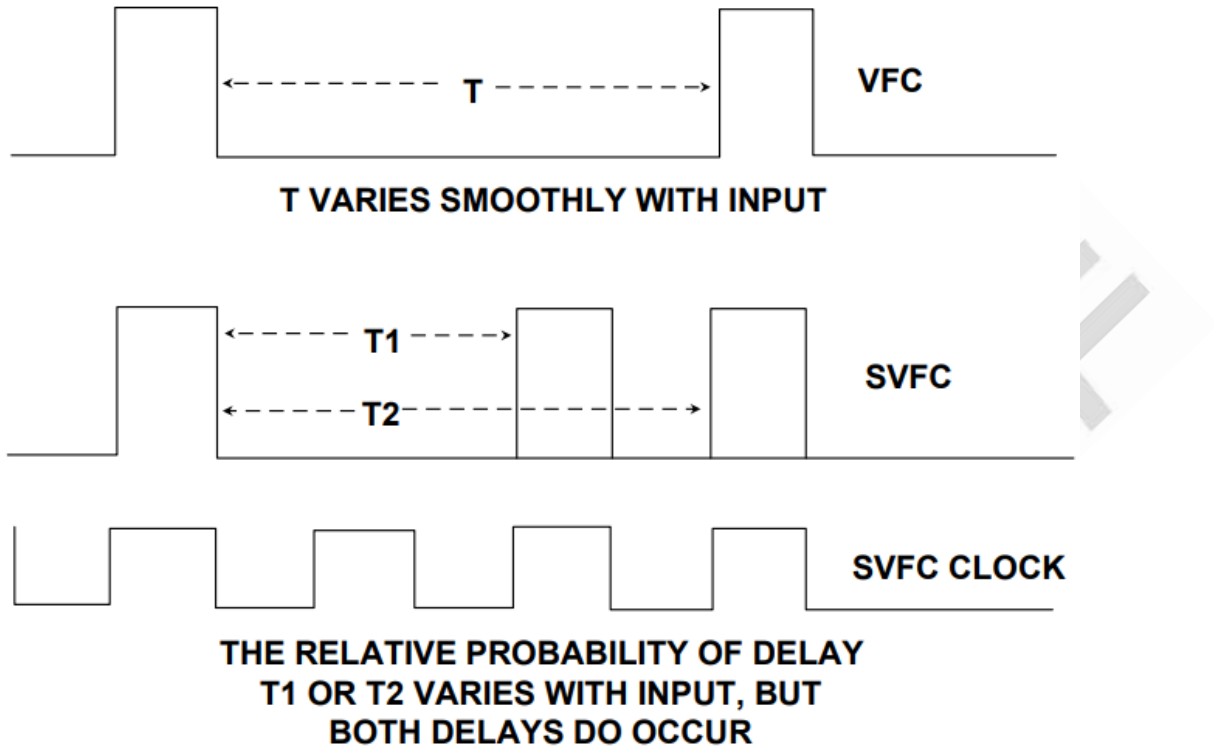


图 5. VFC 和 SVFC 波形

SVFC 的另一问题是与时钟频率相关的输出频率呈非线性。如果研究 SVFC 的传递特性，可以看到在时钟频率 FC 的次谐波附近呈非线性，如图 6 所示。在 $FC/3$ 、 $FC/4$ 和 $FC/6$ 下也一样。这是由于芯片上（以及电路布局中）存在杂散电容，且时钟信号耦合至 SVFC 比较器，造成器件表现为注入锁定锁相环(PLL)。这是 SVFC 本身固有的问题，但通常不甚严重：如果电路卡布局合理，时钟幅度和变化速率尽可能压低，在 $FC/3$ 和 $FC/4$ 下，对于 8 LSB（18 位分辨率时）以下的传递特性的影响并不连续，在其他次谐波下则更低。由于发生这种情况的频率已知，因此常常是容许的。当然，如果电路布局或去耦不佳，影响可能更大，但这是设计缺陷而不能归咎于 SVFC 本身。

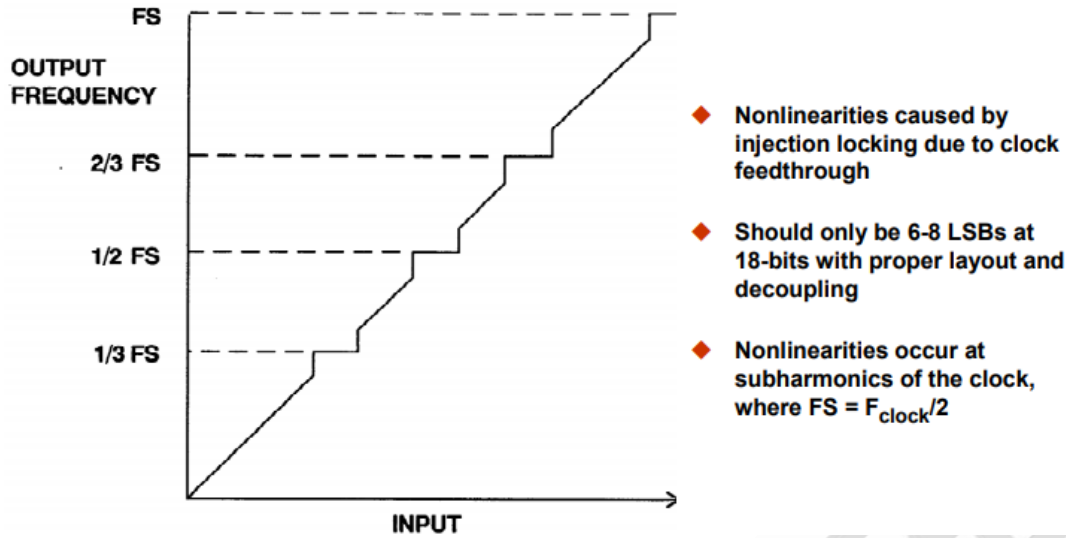


图 6. SVFC 非线性

显然 SVFC 是量化的，而基本 VFC 不是。这并不意味着计数器/VFC ADC 的分辨率（忽略非线性）比计数器/SVFC ADC 更高，因为计数器内的时钟也会对分辨率形成限制。

VFC 具有较大输入时，它会快速运行并（在短时间内）提供良好分辨率，但对于低速运行 VFC，很难在合理的采样时间内获得良好分辨率。这种情况中，测量 VFC 输出周期可能更实际（此方法对 SVFC 无效），当然该系统的分辨率会随着输入（及频率）增加而变差。不过，如果计数器/计时器进行“巧妙”配置，则可以测量 VFC 近似频率和确切的 N 个周期（而非一个，N 值由近似频率决定），并在较宽输入范围内保持高分辨率。1986 年发布的模块式 ADC [AD1170](#) 即该架构的一个示例。

除了作为 ADC 中的一个元件，VFC 还有更多应用。由于其输出是脉冲流，因此很容易通过各类传输介质（PSN、无线电、光学、IR、超声等等）发送。输出也不必由计数器接收，只需将另一个 VFC 配置为频率电压转换器(FVC)即可。这样便可提供模拟输出，VFC-FVC 组合则能够更有效地跨越隔离栅发送精密模拟信号。

总结

ADI 公司为仪器仪表、工业和自动化市场提供各种电压频率转换器(VFC)，包括 [AD537](#)、

[AD650](#)、[AD652](#)、[AD654](#) 和 [ADVFC32](#)。这些器件非常适合模数转换(ADC)、长期积分、线性频率调制和解调以及频率电压转换应用。ADI 公司 VFC 系列产品 [AD7740](#)、[AD7741](#) 和 [AD7742](#) 都是基于 Σ - Δ 技术的同步 VFC，采用小型封装，以低成本提供高线性度。